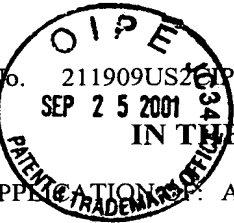


Docket No. 211909US26P/btm

SEP 25 2001



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION of: Atsumi YAMAGUCHI, et al.

GAU: 1765

SERIAL NO: 09/915,396

EXAMINER:

FILED: July 27, 2001

FOR: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

#2

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of **35 U.S.C. §119(e)**.
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

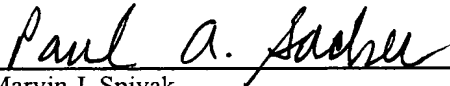
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-110603	April 12, 2000
JAPAN	2001-051447	February 27, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ JP #2001-051447 is submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☒ JP# 2000-110603 was filed in prior application Serial No. 09/668,382 filed September 25, 2000
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak
Registration No. 24,913



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

Paul A. Sacher
Registration No. 43,418

09/915396



日 本 国 特 許 庁
JAPAN PATENT OFFICE

RECEIVED
SEP 26 2001
TC 1700

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月27日

出 願 番 号

Application Number:

特願2001-051447

出 願 人

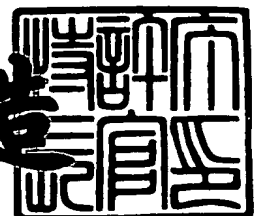
Applicant(s):

三菱電機株式会社

2001年 8月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3071596

【書類名】 特許願

【整理番号】 521992JP02

【提出日】 平成13年 2月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/27

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 山口 敦美

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 辻田 好一郎

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【先の出願に基づく優先権主張】

【出願番号】 特願2000-110603

【出願日】 平成12年 4月12日

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9806920

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 (a)半導体基板上にエッチング対象物を形成するステップと

(b)前記エッチング対象物上に第 1 のレジストを形成するステップと、

(c)前記第 1 のレジストをパターニングして第 1 のレジストパターンを得るステップと、

(d)前記第 1 のレジストパターンに対してイオン注入を行うステップとを備え、前記ステップ(d)のイオン注入によって、前記第 1 のレジストパターンの膜厚が収縮し、

(e)前記ステップ(c)及び(d)実行後の前記第 1 のレジストパターンをマスクとして、前記エッチング対象物に対して所定のエッチング処理を実行して、加工パターンを得るステップをさらに備え、

前記ステップ(d)実行後の第 1 のレジストパターンの膜厚は、前記加工パターンにおける密なパターン部分と疎なパターン部分との間に生じる、前記加工パターンの前記第 1 のレジストパターンに対する寸法ズレ量の差が所定の基準以下で、かつ前記所定のエッチング処理に支障を来さない条件を満足する膜厚に設定される、

半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法であって、

前記エッチング対象物は実エッチング対象物とイオン阻止膜とを含み、

前記ステップ(a)は、

(a-1)前記半導体基板上に前記実エッチング対象物を形成するステップと、

(a-2)前記実エッチング対象物上に前記イオン阻止膜を形成するステップとを含み、

前記ステップ(d)のイオン注入は第 1 のレジストパターンの上方からのイオン注入を含み、

前記イオン阻止膜は、前記ステップ(d)で注入されるイオンが前記実エッチン

グ対象物に注入されるのを阻止する、

半導体装置の製造方法。

【請求項 3】 請求項 2 記載の半導体装置の製造方法であって、
前記イオン阻止膜はシリコン窒化膜あるいはシリコン窒化酸化膜を含み、
前記ステップ(a-2)は、プラズマ C V D 法を用いて前記イオン阻止膜を形成するステップを含む、
半導体装置の製造方法。

【請求項 4】 請求項 2 記載の半導体装置の製造方法であって、
前記イオン阻止膜は有機反射防止膜を含む、
半導体装置の製造方法。

【請求項 5】 請求項 4 記載の半導体装置の製造方法であって、
前記ステップ(a)は、
(a-3)前記イオン阻止膜である前記有機反射防止膜にイオン注入するステップをさらに含む、
半導体装置の製造方法。

【請求項 6】 請求項 1 ないし請求項 5 のうちいずれか 1 項に記載の半導体装置の製造方法であって、

前記エッチング対象物は第 1 及び第 2 の加工領域を含み、
前記第 1 のレジストパターンは前記第 1 の加工領域のエッチングマスク用のパターンを含み、

(f)前記ステップ(d)実行後の少なくとも前記第 2 の加工領域上に第 2 のレジストを形成するステップと、

(g)前記第 2 のレジストをパターニングして、前記第 2 の加工領域のエッチングマスク用の第 2 のレジストパターンを得るステップとをさらに備え、

前記ステップ(e)は、前記第 1 のレジストパターンに加え前記第 2 のレジストパターンをマスクとして、前記所定のエッチング処理を実行するステップを含む

半導体装置の製造方法。

【請求項 7】 請求項 6 記載の半導体装置の製造方法であって、

前記ステップ(f)は、前記第 1 のレジストパターンを含む前記エッチング対象物上の全面に前記第 2 のレジストを形成するステップを含み、

前記第 1 のレジストパターンは前記ステップ(d)のイオン注入によって生じる組成変化によって、前記ステップ(g)実行時に実質的に除去されない、
半導体装置の製造方法。

【請求項 8】 請求項 1 記載の半導体装置の製造方法であって、
前記ステップ(d)のイオン注入は前記第 1 のレジストパターンの形成面の垂線に対し斜め方向上から行うイオン注入を含む、
半導体装置の製造方法。

【請求項 9】 請求項 1 記載の半導体装置の製造方法であって、
前記エッチング対象物は表面に凹凸形状を有し、
(h)前記ステップ(b)実行前に、前記エッチング対象物にイオンを注入するステップをさらに備える、
半導体装置の製造方法。

【請求項 1 0】 請求項 9 記載の半導体装置の製造方法であって、
前記ステップ(b)は前記第 1 のレジストに対し所定パターンのレティクルを介した露光処理を施した後、現像処理を実行することにより、前記第 1 のレジストパターンを得るステップを含む、
半導体装置の製造方法。

【請求項 1 1】 請求項 9 記載の半導体装置の製造方法であって、
前記エッチング対象物は表面にマスクの重ね合わせ用のマークを有する、
半導体装置の製造方法。

【請求項 1 2】 請求項 1 1 記載の半導体装置の製造方法であって、
前記ステップ(h)は、
(h-1)前記エッチング対象物上に第 3 のレジストを形成するステップと、
(h-2)前記第 3 のレジストに対し、前記マークを含むマーク形成領域上に開口部が形成されるようにパターニングを行い第 3 のレジストパターンを得るステップと、
(h-3)前記第 3 のレジストパターンをマスクとして、前記エッチング対象物の

前記マーク形成領域にイオンを注入するステップとを含む、
半導体装置の製造方法。

【請求項 1 3】 請求項 1 記載の半導体装置の製造方法であって、
前記ステップ(d)のイオン注入は、各々の注入エネルギーの異なる複数の部分
イオン注入を含む、
半導体装置の製造方法。

【請求項 1 4】 (a)半導体基板上にエッチング対象物を形成するステップ
と、

(b)前記エッチング対象物上に第 1 のレジストを形成するステップと、

(c)前記第 1 のレジストをパターニングして第 1 のレジストパターンを得るス
テップと、

(d)前記第 1 のレジストパターンに対して、分解反応を促進させる化学反応促
進処理を行うステップと、

(e)前記第 1 のレジストパターンに対して、イオン注入、電子線照射及び紫外
線照射のうち一を含むキュアリング処理を行うステップとを備え、前記ステップ
(e)の前記キュアリング処理によって、前記第 1 のレジストパターンの膜厚が収
縮し、

(f)前記ステップ(c)～(e)実行後の前記第 1 のレジストパターンをマスクとし
て、前記エッチング対象物に対して所定のエッチング処理を実行して、加工パタ
ーンを得るステップをさらに備える、

半導体装置の製造方法。

【請求項 1 5】 請求項 1 4 記載の半導体装置の製造方法であって、
前記エッチング対象物は第 1 及び第 2 の加工領域を含み、
前記第 1 のレジストパターンは前記第 1 の加工領域のエッチングマスク用のパ
ターンを含み、

(g)前記ステップ(e)実行後の少なくとも前記第 2 の加工領域上に第 2 のレジス
トを形成するステップと、

(h)前記第 2 のレジストをパターニングして、前記第 2 の加工領域のエッチン
グマスク用の第 2 のレジストパターンを得るステップとをさらに備え、

前記ステップ(f)は、前記第1のレジストパターンに加え前記第2のレジストパターンをマスクとして、前記所定のエッチング処理を実行するステップを含む半導体装置の製造方法。

【請求項16】 請求項15記載の半導体装置の製造方法であって、

(i)前記ステップ(f)の前でかつ前記ステップ(h)後に実行され、少なくとも前記第2のレジストパターンに対して、分解反応を促進させる化学反応促進処理を行うステップと、

(j)前記ステップ(f)の前でかつ前記ステップ(h)後に実行され、少なくとも前記第2のレジストパターンに対して、前記キュアリング処理を行うステップとをさらに備える、

半導体装置の製造方法。

【請求項17】 請求項14ないし請求項16のうち、いずれか1項に記載の半導体装置の製造方法であって、

前記化学反応促進処理は対象物に対する露光処理及び熱処理のうち少なくとも一方を含む、

半導体装置の製造方法。

【請求項18】 (a)半導体基板上に前記第1及び第2の加工領域を有するエッチング対象物を形成するステップと、

(b)前記エッチング対象物に第1のレジストを形成するステップと、

(c)前記第1のレジストをパターニングして、前記第1の加工領域上に第1のレジストパターンを得るステップと、

(d)前記第1のレジストパターンに対して、イオン注入、電子線照射及び紫外線照射のうちを含むキュアリング処理を行うステップとを備え、前記ステップ(d)の前記キュアリング処理によって、前記第1のレジストパターンの膜厚が収縮し、

(e)前記ステップ(d)実行後の少なくとも前記第2の加工領域上に第2のレジストを形成するステップと、

(f)前記第2のレジストをパターニングして、前記第2の加工領域のエッチン

グマスク用の第2のレジストパターンを得るステップとをさらに備え、

(g)前記第1及び第2のレジストパターンをマスクとして、前記エッチング対象物に対して所定のエッチング処理を実行して、加工パターンを得るステップをさらに備える、
半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置の製造方法に関し、詳しくは半導体集積回路素子の製造に利用されるレジストパターン形成、特にライン幅0.20 μ m以下の配線パターン等の高度な寸法精度と重ね合わせ精度とを得るために有効なレジストパターン形成工程を含む加工パターンの形成方法に関する。

【0002】

【従来の技術】

現在、半導体集積回路（半導体装置）の製造を行う場合、半導体基板等の下地層に対してエッチングやイオン注入などにより選択的な加工が施されている。この際、下地層の被加工部分を選択的に保護する目的で、紫外線、X線、電子線等の活性光線に感光する組成物、いわゆる感光性レジスト被膜（以後、単に「レジスト」と称する。）のパターンを下地層上に形成することが行われている。

【0003】

最も一般的に用いられているレジストパターンの形成方法は、水銀ランプのg線（波長＝436nm）、i線（波長＝365nm）、KrFエキシマレーザー（波長＝248nm）あるいはArFエキシマレーザー（波長＝193nm）を光源とした縮小投影露光装置（ステッパー）を用いた紫外線照射による方法である。

【0004】

このステッパーにはフォトマスクを装着して露光を行うのであるが、このフォトマスクは、ガラス基板上にクロム（Cr）などの遮蔽膜で回路パターンを形成したレティクルと呼ばれるものであり、露光の際にはフォトマスクと既に形成さ

れている基板上の回路パターンとの相互の位置関係が正しく決まるように精密な位置合わせ（重ね合わせ）が行われなくてはならない。

【 0 0 0 5 】

フォトマスクに描かれたパターンは半導体基板に塗布されたレジスト膜に対してレンズを介して縮小され転写される。その後、レジスト膜に対して現像処理を行うことによってレジストパターンの形成が可能となる。

【 0 0 0 6 】

半導体集積回路装置を製造するためには、このレジストパターン形成工程が通常 2 0 ～ 3 0 回程度必要とされている。

【 0 0 0 7 】

最近では、半導体集積回路の高集積化、高性能化がますます進んでおり、これに伴って回路パターンの微細化がさらに要求されている。D R A M (Dynamic Random Access Memory) を例にとると、現在量産が行われている 6 4 M ビット D R A M では 0 . 2 0 ～ 0 . 1 8 μ m のライン幅のレジストパターンが描かれ、その写真製版工程においては、紫外線のうち K r F エキシマレーザー光 ($\lambda = 2 4 8$ n m) が最も多く利用されている。今後、さらにパターンの微細化とともに寸法精度、重ね合わせ精度の向上が要求されている。

【 0 0 0 8 】

ところで、レジストパターンをマスクに下地膜のエッチングを行うことにより配線パターンなどの加工パターンを得るが、加工パターンを形成する際、当該加工パターンに隣接するスペース幅に応じてドライエッチング時に生じる寸法シフト量（レジストパターンからの寸法ズレ量）が異なるというスペース幅依存性（パターン疎密依存性）があることが最近わかってきた。

【 0 0 0 9 】

すなわち、加工パターン上において、スペース幅が比較的広い疎な領域上における寸法シフト量とスペース幅が比較的狭い密な領域上における寸法シフト量とが異なることがわかってきた。以下、スペース幅が比較的広い疎な領域上における寸法シフト量とスペース幅が比較的狭い密な領域上における寸法シフト量との差を、「寸法シフト量粗密差」と略記する。

【0 0 1 0】

このことは、スペース幅依存性によってエッチング時に加工パターンの寸法精度の劣化が起こることを意味しているが、寸法シフト量粗密差がパターンの微細化に伴い無視できないレベルになってきた。

【0 0 1 1】

特に、シリコン酸化膜やシリコン窒化膜のエッチング時に寸法シフト量粗密差が大きいこともわかっている。しかし、パターンの微細化、高密度化のための配線のピッチおよびコンタクトホールとの間隔が狭くなってきており、セルフアラインコンタクトホール構造をとる場合が多くなっているが、そのため、ゲート形成工程においても金属配線膜上にシリコン酸化膜やシリコン窒化膜などの絶縁膜を積層したデバイス構造が必須となる。

【0 0 1 2】

そこで、絶縁膜のエッチングで生じる寸法シフト量粗密差を抑制する方法が必要となっている。

【0 0 1 3】

図 4 8～図 5 1 は従来の配線パターン形成方法の一例を示す断面図である。以下、図 4 8～図 5 1 を用いて従来の配線パターン形成方法を説明する。

【0 0 1 4】

まず、図 4 8 に示すように、シリコン基板 1 上にポリシリコン層 2 を 5 0 n m (5 0 0 Å) の膜厚で、続いてシリコン窒化膜 3 を 1 6 5 n m (1 6 5 0 Å) の膜厚で形成した後、フォトレジスト膜 4 を塗布し、1 0 0 ° C で 9 0 秒間プリベークを行った。この時、フォトレジスト膜 4 の膜厚が 5 8 5 n m (5 8 5 0 Å) となるように塗布時の回転数を調節した。

【0 0 1 5】

次に、図 4 9 に示すように、様々なピッチの配線パターンが描かれたレティクル (フォトマスク) 5 を介して K r F エキシマレーザー (波長は 2 4 8 n m) 6 を光源とするステッパーを用いて露光を行った。照明条件は N A (開口数) = 0 . 5 5 で、2 / 3 輪帯照明アパーチャーを用いたオフアクシス法を適用した。

【0 0 1 6】

続いて、110℃で90秒間ベーク（PEB（Post Exposure Bake））を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の2.38重量%水溶液を用いて60秒間の現像を行うことによって、図50に示すようにレティクルに応じたレジストパターン4aを得る。

【0017】

次に、図51に示すように、レジストパターン4aをマスクとして、トリフロロメタン（ CHF_3 ）、テトラフロロメタン（ CF_4 ）、アルゴン（Ar）、酸素（ O_2 ）の混合ガスを用いた平行平板型反応性イオンエッチャー（RIE（Reactive Ion Etching））により窒化膜3とポリシリコン層2とに対するエッチング処理を実行し、配線パターン（ポリシリコンパターン2a，シリコン窒化パターン3a）を得る。

【0018】

図52はレジストパターンとエッチング後に得られる加工パターン（ポリシリコン層とシリコン窒化膜の積層構造）とのパターン寸法の比較結果を示すグラフである。図52ではマスク寸法が0.24 μm のライン幅に対するレジストパターンとエッチング後の加工パターンそれぞれの、スペース幅（Space）に対する寸法（Line Width）をプロットしている。

【0019】

図53は図52に基づくスペース幅依存性を示すグラフである。図52で示した0.24 μm のライン幅におけるエッチング時の寸法シフト量（CD（Critical Dimension）Shift）の隣接するスペース幅に対する依存性を示す。図53では、最密集パターン領域からスペースが十分に広い孤立ラインパターン領域が示す寸法シフト量の差である、寸法シフト量粗密差 ΔCD は0.141 μm 程度となっている。

【0020】

【発明が解決しようとする課題】

図53に示したように、疎な環境にあるラインパターンの寸法シフト量が大きく、孤立ラインパターンを設計寸法どおりに仕上げるためにはマスクサイズを元の設計寸法よりも細めるサイジング必要である。しかし、マスク寸法および得ら

れるレジストパターン寸法が小さいほど、露光裕度やフォーカス裕度（DOF（Depth of Focus））などのプロセス裕度が狭くなるため、エッチング時に生じる寸法シフト量粗密差が大きいことは望ましくない。

【0021】

そこで、ドライエッチング時の寸法シフト量を抑え、特に寸法シフト量のスペース幅依存性（パターン疎密依存性）、すなわち寸法シフト量粗密差を抑えることが重要となる。

【0022】

また、パターンの微細化が進むにつれて、タングステンやアルミニウムのように表面に大きなグレインをもつ下地膜上にレジストパターンを形成する場合、グレインからのハレーションの影響でパターン寸法精度の劣化が生じる。さらに、露光時の重ね合わせに関しても、同様にグレインの影響により、精度劣化が生じるという問題点があった。

【0023】

この発明は上記問題点を解決するためになされたもので、エッチングに支障無く、エッチング時の寸法シフト量粗密差を小さく抑えることが可能な半導体装置の製造方法を得ることを目的とする。

【0024】

【課題を解決するための手段】

この発明にかかる請求項1記載の半導体装置の製造方法は、(a)半導体基板上にエッチング対象物を形成するステップと、(b)エッチング対象物上に第1のレジストを形成するステップと、(c)前記第1のレジストをパターニングして第1のレジストパターンを得るステップと、(d)前記第1のレジストパターンに対してイオン注入を行うステップとを備え、前記ステップ(d)のイオン注入によって、前記第1のレジストパターンの膜厚が収縮し、(e)前記ステップ(c)及び(d)実行後の前記第1のレジストパターンをマスクとして、前記エッチング対象物に対して前記所定のエッチング処理を実行して、加工パターンを得るステップをさらに備え、前記ステップ(d)実行後の第1のレジストパターンの膜厚は、前記加工パターンにおける密なパターン部分と疎なパターン部分との間に生じる、前記加

エパターンの前記第1のレジストパターンに対する寸法ズレ量の差が所定の基準以下で、かつ前記所定のエッチング処理に支障を来さない条件を満足する膜厚に設定されている。

【0025】

請求項2の発明は、請求項1記載の半導体装置の製造方法であって、前記エッチング対象物は実エッチング対象物とイオン阻止膜とを含み、前記ステップ(a)は、(a-1)前記半導体基板上に前記実エッチング対象物を形成するステップと、(a-2)前記実エッチング対象物上に前記イオン阻止膜を形成するステップとを含み、前記ステップ(d)のイオン注入は第1のレジストパターンの上方からのイオン注入を含み、前記イオン阻止膜は、前記ステップ(d)で注入されるイオンが前記実エッチング対象物に注入されるのを阻止する。

【0026】

請求項3の発明は、請求項2記載の半導体装置の製造方法であって、前記イオン阻止膜はシリコン窒化膜あるいはシリコン窒化酸化膜を含み、前記ステップ(a-2)は、プラズマCVD法を用いて前記イオン阻止膜を形成するステップを含んでいる。

【0027】

請求項4の発明は、請求項2記載の半導体装置の製造方法であって、前記イオン阻止膜は有機反射防止膜を含んでいる。

【0028】

請求項5の発明は、請求項4記載の半導体装置の製造方法であって、前記ステップ(a)は、(a-3)前記イオン阻止膜である前記有機反射防止膜にイオン注入するステップをさらに含んでいる。

【0029】

請求項6の発明は、請求項1ないし請求項5のうちいずれか1項に記載の半導体装置の製造方法であって、前記エッチング対象物は第1及び第2の加工領域を含み、前記第1のレジストパターンは前記第1の加工領域のエッチングマスク用のパターンを含み、(f)前記ステップ(d)実行後の少なくとも前記第2の加工領域上に第2のレジストを形成するステップと、(g)前記第2のレジストをパターンニ

ングして、前記第 2 の加工領域のエッチングマスク用の第 2 のレジストパターンを得るステップとをさらに備え、前記ステップ(e)は、前記第 1 のレジストパターンに加え前記第 2 のレジストパターンをマスクとして、前記所定のエッチング処理を実行するステップを含んでいる。

【 0 0 3 0 】

請求項 7 の発明は、請求項 6 記載の半導体装置の製造方法であって、前記ステップ(f)は、前記第 1 のレジストパターンを含む前記エッチング対象物上の全面に前記第 2 のレジストを形成するステップを含み、前記第 1 のレジストパターンは前記ステップ(d)のイオン注入によって生じる組成変化によって、前記ステップ(g)実行時に実質的に除去されない。

【 0 0 3 1 】

請求項 8 の発明は、請求項 1 記載の半導体装置の製造方法であって、前記ステップ(d)のイオン注入は前記第 1 のレジストパターンの形成面の垂線に対し斜め方向上から行うイオン注入を含んでいる。

【 0 0 3 2 】

請求項 9 の発明は、請求項 1 記載の半導体装置の製造方法であって、前記エッチング対象物は表面に凹凸形状を有し、(h)前記ステップ(b)実行前に、前記エッチング対象物にイオンを注入するステップをさらに備えている。

【 0 0 3 3 】

請求項 1 0 の発明は、請求項 9 記載の半導体装置の製造方法であって、前記ステップ(b)は前記第 1 のレジストに対し所定パターンのレティクルを介した露光処理を施した後、現像処理を実行することにより、前記第 1 のレジストパターンを得るステップを含んでいる。

【 0 0 3 4 】

請求項 1 1 の発明は、請求項 9 記載の半導体装置の製造方法であって、前記エッチング対象物は表面にマスクの重ね合わせ用のマークを有している。

【 0 0 3 5 】

請求項 1 2 の発明は、請求項 1 1 記載の半導体装置の製造方法であって、前記ステップ(h)は、(h-1)前記エッチング対象物上に第 3 のレジストを形成するステ

ップと、(h-2)前記第3のレジストに対し、前記マークを含むマーク形成領域上に開口部が形成されるようにパターニングを行い第3のレジストパターンを得るステップと、(h-3)前記第3のレジストパターンをマスクとして、前記エッチング対象物の前記マーク形成領域にイオンを注入するステップとを含んでいる。

【0036】

請求項13の発明は、請求項1記載の半導体装置の製造方法であって、前記ステップ(d)のイオン注入は、各々の注入エネルギーの異なる複数の部分イオン注入を含む。

【0037】

この発明に係る請求項14記載の半導体装置の製造方法は、(a)半導体基板上にエッチング対象物を形成するステップと、(b)前記エッチング対象物上に第1のレジストを形成するステップと、(c)前記第1のレジストをパターニングして第1のレジストパターンを得るステップと、(d)前記第1のレジストパターンに対して、分解反応を促進させる化学反応促進処理を行うステップと、(e)前記第1のレジストパターンに対して、イオン注入、電子線照射及び紫外線照射のうち一を含むキュアリング処理を行うステップとを備え、前記ステップ(e)の前記キュアリング処理によって、前記第1のレジストパターンの膜厚が収縮し、(f)前記ステップ(c)～(e)実行後の前記第1のレジストパターンをマスクとして、前記エッチング対象物に対して所定のエッチング処理を実行して、加工パターンを得るステップをさらに備えている。

【0038】

請求項15の発明は、請求項14記載の半導体装置の製造方法であって、前記エッチング対象物は第1及び第2の加工領域を含み、前記第1のレジストパターンは前記第1の加工領域のエッチングマスク用のパターンを含み、(g)前記ステップ(e)実行後の少なくとも前記第2の加工領域上に第2のレジストを形成するステップと、(h)前記第2のレジストをパターニングして、前記第2の加工領域のエッチングマスク用の第2のレジストパターンを得るステップとをさらに備え、前記ステップ(f)は、前記第1のレジストパターンに加え前記第2のレジストパターンをマスクとして、前記所定のエッチング処理を実行するステップを含む

【0039】

請求項16の発明は、請求項15記載の半導体装置の製造方法であって、(i)前記ステップ(f)の前でかつ前記ステップ(h)後に実行され、少なくとも前記第2のレジストパターンに対して、分解反応を促進させる化学反応促進処理を行うステップと、(j)前記ステップ(f)の前でかつ前記ステップ(h)後に実行され、少なくとも前記第2のレジストパターンに対して、前記キュアリング処理を行うステップとをさらに備える。

【0040】

請求項17の発明は、請求項14ないし請求項16のうち、いずれか1項に記載の半導体装置の製造方法であって、前記化学反応促進処理は対象物に対する露光処理及び熱処理のうち少なくとも一方を含む。

【0041】

請求項18の発明は、(a)半導体基板上に前記第1及び第2の加工領域を有するエッチング対象物を形成するステップと、(b)前記エッチング対象物に第1のレジストを形成するステップと、(c)前記第1のレジストをパターニングして、前記第1の加工領域上に第1のレジストパターンを得るステップと、(d)前記第1のレジストパターンに対して、イオン注入、電子線照射及び紫外線照射のうち一を含むキュアリング処理を行うステップとを備え、前記ステップ(d)の前記キュアリング処理によって、前記第1のレジストパターンの膜厚が収縮し、(e)前記ステップ(d)実行後の少なくとも前記第2の加工領域上に第2のレジストを形成するステップと、(f)前記第2のレジストをパターニングして、前記第2の加工領域のエッチングマスク用の第2のレジストパターンを得るステップとをさらに備え、(g)前記第1及び第2のレジストパターンをマスクとして、前記エッチング対象物に対して所定のエッチング処理を実行して、加工パターンを得るステップをさらに備えている。

【0042】

【発明の実施の形態】

<<実施の形態1>>

<原理>

絶縁膜のエッチングで生じる寸法シフト量粗密差を抑制する方法として、我々は、鋭意研究を重ねた結果、レジストパターンの膜厚が薄いほど絶縁膜の寸法シフト量粗密差が小さくなることがわかった。そこで、ドライエッチングのマスクとして必要となる最小膜厚のレジストパターンを形成することが望ましい。

【0043】

図1～図4はこの発明の原理となる配線パターン形成方法を示す断面図である。以下、これらの図を参照して配線パターンの形成方法を説明する。

【0044】

まず、図1に示すように、シリコン基板1上にポリシリコン層2を50nm（500Å）の膜厚で、続いてシリコン窒化膜3を165nm（1650Å）の膜厚で形成した後、シリコン窒化膜3上にフォトレジスト膜4を塗布し、100℃で90秒間プリベークを行った。この時、フォトレジスト膜4の膜厚が445nm（4450Å）となるように塗布時の回転数を調節した。

【0045】

次に、図2に示すように、様々なピッチの配線パターンが描かれたレティクル5を介してKrFエキシマレーザー6を光源とするステッパーを用いて露光を行った。照明条件はNA=0.55で、2/3輪帯照明アパーチャーを用いたオフアクシス法を適用した。

【0046】

続いて、110℃で90秒間ベーク（PEB）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の2.38重量%水溶液を用いて60秒間の現像を行うことによって、図3に示すようにレティクルに応じたレジストパターン4aを得る。

【0047】

次に、レジストパターン4aをマスクにCHF₃、CF₄、Ar、O₂の混合ガスを用いて平行平板型RIEにより、エッチング対象物である窒化膜3とポリシリコン層2とに対するのエッチング処理を行い、図4に示すような所望の配線パターン（ポリシリコンパターン2a、シリコン窒化パターン3a）を得る。

【0 0 4 8】

上述した方法はフォトリソ膜 4 の膜厚を除いて、図 4 8～図 5 1 で示した従来のパターン形成方法と同様である。

【0 0 4 9】

図 5 は図 1～図 4 で示した配線パターン形成方法で形成されたレジストパターンとエッチング後の加工パターン（配線パターン（ポリシリコン層とシリコン窒化膜の積層構造））とのパターン寸法の比較結果を示すグラフである。図 5 ではマスク寸法が $0.24\ \mu\text{m}$ のラインパターンに対するレジストパターンとエッチング後の加工パターンそれぞれの、スペース幅（Space）に対する寸法（Line Width）をプロットしている。

【0 0 5 0】

図 6 は図 5 に基づくスペース幅依存性を示すグラフである。図 6 では、 $0.24\ \mu\text{m}$ のラインパターンにおけるエッチング時の寸法シフト量（CD Shift）の隣接するスペース幅に対する依存性を示している。

【0 0 5 1】

図 6 において、L 0 はレジストパターンの膜厚が $585\ \text{nm}$ の場合、L 1 はレジストパターンの膜厚が $445\ \text{nm}$ の場合を示している。図 6 に示すように、レジストパターンの膜厚が $445\ \text{nm}$ の場合の最密集パターンからスペースが十分に広い孤立ラインパターンが示す寸法シフト量疎密差 $\Delta\text{CD}1$ は $0.079\ \mu\text{m}$ で、従来例に示したレジストパターンの膜厚が $585\ \text{nm}$ の場合の寸法シフト量粗密差 $\Delta\text{CD}0$ の $0.141\ \mu\text{m}$ よりも劇的に小さくなっていることがわかる。

【0 0 5 2】

表 1 にエッチング後に $0.40\ \mu\text{m}$ 、 $0.35\ \mu\text{m}$ 、 $0.30\ \mu\text{m}$ のライン幅の孤立ラインを得るためのレジストパターンのライン幅の寸法（レジスト寸法）と、それぞれのレジスト寸法（ 0.14 、 0.08 、 0.06 、 $0\ (\mu\text{m})$ ）を形成する際のフォーカス裕度（DOF）を示す。

【0 0 5 3】

【表 1】

単位： μm

仕上がり 寸法	エッチング CD シフト							
	0.14		0.08		0.06		0	
	レジスト 寸法	DOF	レジスト 寸法	DOF	レジスト 寸法	DOF	レジスト 寸法	DOF
0.40	0.26	0.64	0.32	0.78	0.34	0.83	0.40	0.98
0.35	0.21	0.62	0.27	0.65	0.29	0.70	0.35	0.86
0.30	0.16	0.33	0.22	0.62	0.24	0.63	0.30	0.72

【0 0 5 4】

例えば、エッチング後に $0.30\mu\text{m}$ のライン幅の仕上がり寸法の加工パターンを得るために、レジスト膜厚 585nm のプロセス（寸法シフト量粗密差が約 $0.14\mu\text{m}$ ）では、レジスト寸法が $0.16\mu\text{m}$ のレジストパターンが必要で、それを得るにはフォーカス裕度 $0.33\mu\text{m}$ となる。

【0 0 5 5】

同様に、エッチング後に $0.30\mu\text{m}$ のライン幅の仕上がり寸法の加工パターンを得るために、レジスト膜厚 445nm のプロセス（寸法シフト量粗密差が約 0.08 ）では、 $0.22\mu\text{m}$ のレジストパターン形成が必要で、それを得るには、フォーカス裕度は $0.62\mu\text{m}$ となり、エッチング寸法シフトが小さくなるレジスト膜厚が薄い方が有利であることを示している。

【0 0 5 6】

したがって、仕上がり寸法 = $0.30\mu\text{m}$ で必要とするフォーカス裕度が 0.60 以上の場合、表 1 から寸法シフト量粗密差は $0.08\mu\text{m}$ 以下にする必要があり、この「 $0.08\mu\text{m}$ 」を所定の基準とした場合、膜厚が 445nm のレジストパターンの寸法シフト量粗密差 $0.079\mu\text{m}$ は所定の基準以下となる。

【0 0 5 7】

さらに、膜厚の 370nm のレジストパターンでも試したが、ドライエッチング中にレジストパターンの肩落ちが起こり、レジストパターンの膜厚がエッチングのマスクとして不足することがわかった。

【0 0 5 8】

これらの結果より、エッチング時の寸法シフト量のスペース幅依存性（寸法シフト量粗密差）を最小に抑える最適なレジスト膜厚があり、エッチングのマスクとして支障を来さない限りレジストを薄膜化することが有効であるとわかった。

【0 0 5 9】

<方法>

図7～図11はこの発明の実施の形態1である配線パターン形成方法を示す断面図である。以下、これらの図を参照して、実施の形態1の処理手順を説明する。

【0 0 6 0】

図7～図9で示す工程は図1～図3で示した工程と同様に行われる。

【0 0 6 1】

そして、図10に示すように、レジストパターン4aに対し、イオン7の注入を行った。ここでは、イオン種としてアルゴンを用い、 50 keV で $1 \times 10^{16} / \text{cm}^2$ でイオン注入を行う。このイオン注入によって、レジストパターン4aの膜厚は 445 nm の75%程度の 334 nm 程度に収縮するとともに、レジストパターン4aの組成変化がなされることにより、シリコン窒化膜3及びポリシリコン層2用のエッチング処理に対するエッチング耐性が向上する。

【0 0 6 2】

次に、図11に示すように、レジストパターン4aをマスクとして、 CHF_3 、 CF_4 、 Ar 、 O_2 の混合ガスを用いて平行平板型RIEにより窒化膜3とポリシリコン層2とに対するエッチング処理を行い、所望の配線パターン（ポリシリコンパターン2a及びシリコン窒化パターン3a）を得る。

【0 0 6 3】

この際、レジストパターン4aはイオン注入によって、シリコン窒化膜3及びポリシリコン層2用のエッチング処理に対するエッチング耐性が向上しているため、レジストパターン4aの膜厚が 334 nm 程度でもエッチングのマスクとして支障無く機能する。

【0 0 6 4】

なお、エッチングに支障を来さない条件の一つとして、エッチング中にレジストパターンの（エッチング対象物の形成面に対する）垂直部分がなくなならない、すなわち、レジストパターンが肩落ちしないという条件がある。

【0 0 6 5】

図 5 4 ～図 5 6 はレジストパターンの肩落ち現象説明用の断面図である。図 5 4 に示すように、下地基板 3 1 上に形成されたエッチング対象物 3 2 に対し、膜厚が不足した、パターン幅 W 1 のレジストパターン 3 3 でエッチング処理を行うと、エッチング処理進行と共に、図 5 5 に示すように、レジストパターン 3 3 の両肩部分（エッジ部分）が削れられ、その後、図 5 6 に示すように、垂直部分がなくなって肩落ちが生じる。肩落ちが生じた状態でエッチング処理を行うと、パターン幅 W 1 より狭いパターン幅 W 2 のレジストパターン 3 3 をマスクとすることになり、エッチング対象物 3 2 に対するエッチング処理による仕上がり寸法が不安定になってしまう。

【0 0 6 6】

しかしながら、イオン注入されたレジストパターン 4 a はエッチング耐性が向上しており、膜厚が 3 3 4 n m のときでもエッチング処理中に肩落ちが生じることはないため、膜厚が 3 3 4 n m のレジストパターン 4 a はエッチング処理に支障を来さない条件を満足する。

【0 0 6 7】

図 1 2 はスペース幅依存性を示すグラフである。図 1 2 では、0. 2 4 μ m のラインパターンにおけるエッチング時の加工パターン（ポリシリコン層とシリコン窒化膜の積層構造）における寸法シフト量の隣接するスペース幅に対する依存性を示す。

【0 0 6 8】

図 1 2 において、L 0 はレジストパターンの膜厚が 5 8 5 n m の場合、L 1 はレジストパターンの膜厚が 4 4 5 n m の場合を示しており、L 2 は膜厚が 3 3 4 n m でかつイオン注入されたレジストパターンを行った場合をそれぞれ示している。

【0 0 6 9】

図 1 2 に示すように、レジストパターンの膜厚が 3 3 4 n m の場合の最密集パターンからスペースが十分に広い孤立ラインパターンが示す寸法シフト量の疎密差は 0. 0 5 9 μ m となり、寸法シフト量粗密差をさらに縮小することがわかった。

【0 0 7 0】

このように、実施の形態 1 の配線パターン形成方法では、図 1 0 で示すイオン注入工程によって、レジストパターン 4 a の膜厚は、寸法シフト量粗密差を従来より大幅に向上させた所定の基準以下に抑え、かつポリシリコン層 2 及びシリコン窒化膜 3 用のエッチング処理に支障を来さない条件を満足する膜厚（3 3 4 n m）に設定されるため、配線パターンが比較的大きな粗密差を有する場合でも、図 1 1 で示すレジストパターン 4 a をマスクとしたエッチング処理によって、配線パターンを寸法精度良く得ることができる。

【0 0 7 1】

表 1 において、仕上がり寸法 = 0. 3 5 μ m で必要とするフォーカス裕度が 0. 7 0 以上の場合、表 1 から寸法シフト量粗密差は 0. 0 6 μ m 以下にする必要があり、この「0. 0 6 μ m」を所定の基準とした場合、膜厚が 3 3 4 n m のレジストパターンの寸法シフト量粗密差 0. 0 5 9 μ m は所定の基準以下となる。

【0 0 7 2】

<イオン注入による別の効果>

図 1 3 に示すように、現像後のレジストパターン 4 a ではエッジ 4 e にラフネス（凹凸）が見られるが、アルゴンをイオン種として、5 0 k e V、 1×10^{16} / c m² の条件でイオン注入を行うと、図 1 4 に示すように、エッジ 4 e のラフネスが緩和され、直線性の良好なレジストパターン 4 a を得ることができる。

【0 0 7 3】

パターンの微細化がますます進むにつれて、エッジのラフネスが寸法精度の劣化の要因になってきており、イオン注入を施すことによりレジストパターン 4 a の寸法精度を向上させる効果を得ることができた。

【0 0 7 4】

<<実施の形態 2>>

図 1 5～図 2 0 はこの発明の実施の形態 2 である配線パターン形成方法を示す断面図である。以下、これらの図を参照して、実施の形態 2 の処理手順を説明する。

【0 0 7 5】

まず、図 1 5 に示すように、シリコン基板 1 上にポリシリコン層 2 を 5 0 n m の膜厚で、続いてシリコン窒化膜 3 を 1 6 5 n m の膜厚で形成した後、プラズマ C V D 法を用いて厚さ 2 4 . 5 n m のシリコン窒化酸化 (S i O N) 膜 8 を形成する。プラズマ C V D 法によってシリコン窒化酸化膜 8 は下地の段差の影響を受けず均一な膜厚で形成される。

【0 0 7 6】

その後、シリコン窒化酸化膜 8 上にフォトレジスト膜 4 を塗布し、図 1 6～図 1 9 で示すように、実施の形態 1 の図 7～図 1 0 で示す工程と同様のフローでイオン注入されたレジストパターン 4 a を得る。

【0 0 7 7】

シリコン窒化酸化膜 8 は露光時 (図 1 7 の工程) の反射防止膜 (B A R C ; B o t t o m A n t i - R e f l e c t i v e C o a t i n g) として機能するが、さらに、イオン注入時 (図 1 9 の工程) にてシリコン窒化酸化膜 8 の下方に存在する実エッチング対象物 (ポリシリコン層 2) に注入されるのを阻止する保護膜 (イオン阻止膜) としても機能する。なお、シリコン窒化膜 3 自体もイオン阻止膜としての働きを有しているため、シリコン窒化膜 3 の膜厚がイオンを阻止するに十分な膜厚を有している場合はイオン阻止膜としてのシリコン窒化酸化膜 8 は不要となる。

【0 0 7 8】

最後に、図 2 0 に示すように、レジストパターン 4 a をマスクとして、C H F₃、C F₄、A r、O₂の混合ガスを用いて平行平板型 R I E により窒化膜 3 とポリシリコン層 2 とに対するエッチング処理を行い、所望の配線パターン (ポリシリコンパターン 2 a、シリコン窒化パターン 3 a 及びシリコン窒化酸化パターン 8 a) を得る。

【0 0 7 9】

ここで、上記図 1 5 の工程で形成するシリコン窒化酸化膜 8 の代わりに有機 B

A R C膜を 8 0 n mの膜厚で形成し、その後、レジスト膜を塗布し、図 1 6～図 2 0と同様の工程を経て配線パターンを形成することもできる。有機 B A R C膜もシリコン窒化酸化膜 8と同様に実エッチング対象物へのイオン注入に対する保護膜（イオン阻止膜）として機能する。

【 0 0 8 0 】

有機 B A R C膜は下地の段差上部では薄く、段差下部では厚く形成される特性がある。例えば、下地が平坦部で 8 0 n mの膜厚になるように有機 B A R C膜を塗布した場合、段差上部では 2 0 n mしか形成されず、段差下部では 1 0 0 n mも形成され、段差上部と段差下部との間に 8 0 n mもの膜厚差が生じてしまう。

【 0 0 8 1 】

有機 B A R C膜を用いた場合、図 1 9の工程におけるイオン注入時に有機 B A R C膜の膜厚収縮が起こるが、膜厚収縮は一定の割合で起こるため、例えば 5 0 %の膜厚収縮が起こると仮定すると、前述した例では、段差上部では 1 0 n m、段差下部では 5 0 n mとなり、膜厚差が 4 0 n mに減少する。

【 0 0 8 2 】

したがって、局所的な段差をもつ実デバイスがシリコン基板 1に作り込まれている場合、段差部分での有機 B A R C膜の膜厚差が小さくなり、有機 B A R C膜の膜厚が非均一なことにより生じるエッチング時の寸法シフト量の不均一性を低減する効果をイオン注入によって得ることができる。

【 0 0 8 3 】

<<実施の形態 3>>

図 2 1～図 2 7はこの発明の実施の形態 3である配線パターン形成方法を示す断面図である。以下、これらの図を参照して、実施の形態 3の処理手順を説明する。

【 0 0 8 4 】

まず、図 2 1に示すように、シリコン基板 1上にポリシリコン層 2を 5 0 n mの膜厚で、続いてシリコン窒化膜 3を 1 6 5 n mの膜厚で形成した後、シリコン窒化膜 3上に有機 B A R C膜 1 1を 8 0 n mの膜厚で形成する。

【 0 0 8 5 】

次に、図 2 2 に示すように、有機 B A R C 膜 1 1 の上方からイオン注入を行う。この時、有機 B A R C 膜 1 1 の膜厚収縮が起こり、シリコン基板 1 に作り込まれているデバイスの段差部分での有機 B A R C 膜 1 1 の膜厚の不均一性を低減することが効果的に行われる。

【 0 0 8 6 】

続いて、図 2 3 ～図 2 7 に示すように、実施の形態 1 の図 7 ～図 1 1 で示す工程と同様のフローを経て配線パターン（ポリシリコンパターン 2 a、シリコン窒化パターン 3 a 及び有機 B A R C パターン 1 1 a）の形成を行う。ここで、図 2 6 に示すように、形成したレジストパターン 4 a に対し、再度イオン注入を行うと、実施の形態 1 と同様、レジストパターン 4 a のドライエッチング耐性の向上と、レジストパターン 4 a の膜厚収縮に伴うエッチング時の寸法シフト量疎密差の低減に有効に機能する。

【 0 0 8 7 】

<< 実施の形態 4 >>

図 2 8 ～図 3 5 はこの発明の実施の形態 4 である配線パターン形成方法を示す断面図である。図 2 8 ～図 3 5 では、同時形成が困難なパターンを 2 度の写真製版に分けて行うパターン形成方法に関して、一例として D R A M のビット線への適用例を示している。この工程では、メモリセル部の $0.1 \mu\text{m}$ 以下の細いラインパターン、周辺回路部に $0.20 \mu\text{m}$ 以下のスペースパターンの形成が必要とされる。以下、これらの図を参照して、実施の形態 4 の処理手順を説明する。

【 0 0 8 8 】

まず、図 2 8 に示すように、シリコン基板 1 上にシリコン酸化膜 9、続いて配線のための金属膜 1 0 を形成した後、金属膜 1 0 上にフォトレジスト膜 4 を塗布し、 100°C で 6 0 秒間プリベークを行う。この時、フォトレジスト膜 4 の膜厚が 585 nm となるように塗布時の回転数を調節した。

【 0 0 8 9 】

次に、図 2 9 に示すように、第 1 の加工領域であるメモリセル形成領域 A 1 の配線パターン（L（ライン幅）／S（スペース幅）＝ $0.16 \mu\text{m} / 0.22 \mu\text{m}$ ）のみが描かれたレティクル（フォトマスク）5 a を介して K r F エキシマレ

ーザー（波長は248nm）6を光源とするステッパーを用いて露光を行った。照明条件は $NA=0.55$ で、2/3輪帯照明アパーチャーを用いたオフアクシス法を適用した。

【0090】

続いて、図30に示すように、110℃で60秒間ベーク（PEB）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の2.38重量%水溶液を用いて60秒間の現像を行うことによって、ライン幅0.13 μ mのレジストパターン4bを得る。

【0091】

なお、フォトリジスト膜4を塗布する前に実施の形態2、実施の形態3のように、金属膜10上に反射防止膜として無機BARC膜（シリコン窒化酸化膜8）あるいは有機BARC膜を形成しても良い。

【0092】

次に、図31に示すように、アルゴンをイオン種として、50keV、 $1 \times 10^{16}/\text{cm}^2$ の条件で、レジストパターン4bに対してイオン7の注入を行った。

【0093】

レジストパターン4bにイオン注入を行うと、特開平4-127518にも示されているようにパターン収縮する現象があり、ライン幅0.13 μ mのレジストパターンは0.10 μ mまで縮小した。同一の照明条件およびレジストプロセス条件では0.10 μ mのラインパターンを得るには、露光裕度や、フォーカス裕度などのプロセス裕度が狭く、幅が薄いためレジストパターンの倒れの問題も生じるため非常に困難である。そこで、このようにレジストパターンにイオン注入を行いパターン収縮を利用することにより、通常のパターン形成方法での限界を超える細線のパターンを得ることができる。

【0094】

また、レジストパターン4bはイオン注入によって、イオン注入前と異なる組成に変更する。

【0095】

しかし、図29示す露光工程で、もし第2の加工領域である周辺回路領域A2用のレジストパターンも同時に形成すると、イオン注入時に周辺回路のパターンのスペース部分は逆に広がるため望ましくない。これを所望の寸法通りのパターンを得ようとする、図29で示す露光工程のレジストパターン4b形成時に、予め細いスペースの周辺回路用のレジストパターンを形成しなければならず、非常に困難である。

【0096】

そこで、図31の工程を経てレジストパターン4bを得た後、図32に示すように、メモリセル形成領域A1及び周辺回路領域A2を含む、金属膜10上の全面にフォトレジスト膜14を塗布形成する。すなわち、メモリセル形成領域A1のレジストパターン4b上に再びフォトレジスト膜14が形成される。この時、塗布条件は一層目のフォトレジスト膜4の形成時と同じである。

【0097】

次に、図33に示すように、メモリセル形成領域A1を除く周辺回路領域A2に対応して描かれたレティクル（フォトマスク）5bを介してKrFエキシマレーザー（波長は248nm）6を光源とするステッパーを用いて露光を行う。照明条件はNA=0.55で2/3輪帯照明アパーチャを用いたオフアクシス法を適用した。

【0098】

続いて、図34に示すように、110℃で60秒間ベーク（PEB）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の2.38重量%水溶液を用いて60秒間の現像を行うことによって、ライン幅0.50μm、スペース幅0.2μmのレジストパターン14bを得る。

【0099】

なお、レジストパターン4bはイオン注入によってフォトレジスト膜14とは全く異なる組成成分に変換されているため、図33で示す工程による露光の影響を受けず、図34で示す工程による現像によって除去されることはなく、正確に再現される。

【0100】

そして、図 3 5 に示すように、レジストパターン 4 b 及びレジストパターン 1 4 c をマスクとして、金属膜 1 0 に対するエッチングを行い、所望の配線パターン（金属パターン 1 0 a）を得る。

【 0 1 0 1 】

実施の形態 4 の方法により、一定のピッチのパターンが描かれているメモリセル形成領域 A 1 のメモリセルパターン上はマスクサイズより細いライン幅の密なレジストパターン 4 a を形成するとともに、周辺回路領域 A 2 に比較的疎なレジストパターン 1 4 b を重ねて精度劣化無く形成することができ、粗密差の異なる配線パターンを精度よく形成することができる。

【 0 1 0 2 】

<<実施の形態 5>>

図 3 6 ～図 4 0 及び図 4 2 はこの発明の実施の形態 5 である配線パターン形成方法を示す断面図である。また、図 4 1 は DRAM のキャパシタ形成工程のパターンが描かれたレティクルを示す説明図である。実施の形態 5 では DRAM のキャパシタ形成を行うことを前提としている。以下、これらの図を参照して実施の形態 5 の処理手順を説明する。

【 0 1 0 3 】

まず、図 3 6 に示すように、シリコン基板 1 上にポリシリコン層 2 を 5 0 n m の膜厚で、続いてシリコン酸化膜 1 3 を 1 5 0 0 n m の膜厚で形成した後、シリコン酸化膜 1 3 上にフォトレジスト膜 4 を塗布して、1 0 0 °C で 6 0 秒間プリベークを行った。この時、フォトレジスト膜 4 の膜厚が 8 8 0 n m となるように塗布時の回転数を調節した。

【 0 1 0 4 】

次に、図 3 7 に示すように、DRAM のキャパシタ形成工程のパターンが描かれたレティクル（フォトマスク）5 m を（図 4 1 参照）介して Kr F エキシマレーザ（波長は 2 4 8 n m）6 を光源とするステッパーを用いて露光を行った。照明条件は $NA = 0.55$ で、2 / 3 輪帯照明アパーチャーを用いたオフアクシス法を適用した。

【 0 1 0 5 】

続いて、図38に示すように、110℃で90秒間ベーク（PEB）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の2.38重量%水溶液を用いて60秒間の現像を行うことによって、レティクルに応じたキャパシタ用レジストパターン4mを得る。

【0106】

次に、図39に示すように、アルゴンをイオン種として、50keV、 $1 \times 10^{16} / \text{cm}^2$ の条件でイオン7の注入をレジストパターン4mに対して行った。この際、図42に示すように、ウエハ（レジストパターン4m形成面）の垂線VLから15～20°傾斜させた方向からイオン注入を行う。この方法により、図42に示すように、イオン7の大部分がレジストパターン4mの表面及び側面によって遮断されるため、下地基板であるシリコン酸化膜13にイオンが直接注入されることを抑制することができる。イオン7の注入における最適な傾斜角角度はレジストパターン4mのライン幅とピッチ（ライン幅＋スペース幅）、およびレジストパターン4mの膜厚によって異なるので、場合によって適宜調整が必要である。

【0107】

現像後に得られたレジストパターン4mは、イオン注入を行うことによりパターン収縮が起こり、レジストの残し部分のライン幅は0.17μmから0.11μmまで減少した。

【0108】

そして、図40に示すように、レジストパターン4mをマスクとして、シリコン酸化膜13及びポリシリコン層2に対するエッチング処理を行うことにより、配線パターン（酸化膜パターン13a及びポリシリコンパターン2a）を得る。

【0109】

DRAMのキャパシタ形成工程では大きな容量を得るために大きな開口パターンを形成することが望ましく、この方法を適用することにより、ライン幅収縮に伴うスペース幅の拡大が比較的容易に行えるため有効である。

【0110】

DRAMのセルフアラインコンタクトホール形成工程においても大きな開口パ

ターンを形成する目的で、この方法を適用することにより同様の効果を得ることができる。

【0 1 1 1】

<<実施の形態 6>>

アルミニウムやタングステンの表面はグレインによる凹凸が激しく、レジストパターンの形成時に影響を与えることが少なくない。

【0 1 1 2】

特にアルミニウムをスパッタリング法で形成する場合、下層との接続のために形成されたコンタクトホール中への埋め込み特性が要求されるが、コンタクトホールサイズが小さくなるにともない埋め込み特性が低下する。そこで、埋め込み特性を向上させる方法としてアルミニウムをスパッタリング後、加熱によりリフローさせる方法や、基板を加熱しながらスパッタリングする方法があるが、いずれもグレインのサイズが通常のスパッタリング法で形成したアルミニウム膜よりも大きくなる。そのため、このようなアルミ層からなる下地基板上にレジストパターンの形成を行うと、グレインからの反射光による影響を受けてレジストパターン形状の劣化が生じ、レジストパターンの寸法均一性の低下が起こる。

【0 1 1 3】

図 4 3 ～ 図 4 5 は種々のアルミニウム表面のグレインの様子を模式的に示した説明図である。図 4 3 に通常のスパッタリング法で形成したアルミニウム膜、図 4 4 に加熱しながらスパッタリングして形成したアルミニウム膜の表面形状を模式的に示した説明図である。そこで、レジスト塗布前に下地基板に対しアルゴンをイオン種として、 50 keV 、 $1 \times 10^{16} / \text{cm}^2$ の条件でイオン 7 の注入を行うと、図 4 5 に示すように、基板表面のグレインによる凹凸形状が緩和される。この凹凸形状の緩和を図ったのが実施の形態 6 の配線パターン形成方法である。

【0 1 1 4】

図 4 6 はこの発明の実施の形態 6 である配線パターン形成方法の特徴部を示す断面図である。

【0 1 1 5】

同図に示すように、シリコン基板 1、シリコン酸化膜 1 5 及びアルミ層 1 6 の積層構造からなる下地基板に対し、アルゴンをイオン種として、5 0 k e V、 $1 \times 10^{16} / \text{cm}^2$ の条件でイオン 7 の注入を行う。その後、実施の形態 1 で示した図 1 ～図 4 に示すような通常のフローで配線パターンを形成する。

【 0 1 1 6 】

実施の形態 6 の配線パターン形成方法では、表面にグレインを有するアルミ層 1 6 に予めイオン注入するため、レジストパターン形成時にアルミ層 1 6 のグレインからの反射光の影響によるレジストパターンの形状劣化を抑制することができ、レジストパターンの寸法精度を向上させる効果を得ることができる。

【 0 1 1 7 】

<< 実施の形態 7 >>

前述したように、タングステンやアルミニウムの表面はグレインによる凹凸形状が激しいため、このような下地基板上にレジストパターンの形成を行う際、露光段階の重ね合わせ精度やパターン形成後の重ね合わせ検査の計測精度においても劣化が生じる。例えば、図 4 3 ～図 4 5 に示す重ね合わせ検査マーク（中央の 2 つの四角部分）で測定した場合、通常のアルミニウム膜（図 4 3 参照）では計測精度（3 σ ）は約 2 0 n m であるが、加熱しながらスパッタリングして得られたアルミニウム膜（図 4 4）では計測精度（3 σ ）は約 1 0 0 n m まで劣化した。

【 0 1 1 8 】

そこで、レジスト塗布前に下地基板に対しアルゴンをイオン種として、5 0 k e V、 $1 \times 10^{16} / \text{cm}^2$ の条件でイオン注入を行うと、図 4 5 に示すように、基板表面のグレインによる凹凸が緩和されるため、重ね合わせ精度の劣化を抑制することができ、計測精度（3 σ ）は約 5 0 n m まで改善することができる。

【 0 1 1 9 】

図 4 7 はこの発明の実施の形態 7 である配線パターンの形成方法の特徴部を示す断面図である。

【 0 1 2 0 】

同図に示すように、シリコン基板 1、シリコン酸化膜 1 5 及びアルミ層 1 6 の

積層構造からなる下地基板に対し、アルミ層16の検査マーク（図示せず）を含むマーク形成領域19上にのみ開口部18を有するレジストパターン17を写真製版等を用いて形成し、レジストパターン17をマスクとしてアルミ層16のマーク形成領域19上にのみイオン7を注入する。その後、実施の形態1で示した図1～図4に示すような通常のフローで配線パターンを形成する。

【0121】

このように、実施の形態7では、下地基板がタングステンやアルミニウムの場合、タングステンやアルミニウム膜の加工を終えた後、この膜上に形成した重ね合わせおよび重ね合わせ検査用のマークが形成されるマーク形成領域19上のみに開口部18を有するレジストパターン17を介してイオン注入を施している。

【0122】

その結果、マーク部のグレインを低減することによって、次工程の写真製版時の重ね合わせ精度の劣化を防ぐ方法として有効である。さらにマーク形成領域以外はイオン注入によって悪影響を受けないようにレジストパターン17で確実に保護される。

【0123】

<<実施の形態8>>

<前提>

図57～図61はこの発明の実施の形態8の前提となる配線パターン形成方法の一つであるゲートパターン形成工程を示す断面図である。以下、これらの図を参照して、その処理手順を説明する。

【0124】

まず、図57に示すように、シリコン基板1上にシリコン酸化膜12を15nm（150Å）の膜厚で、続いてポリシリコン層2を100nm（1000Å）の膜厚で、さらにシリコン酸化膜21を50nm（500Å）の膜厚で、続いてシリコン窒化酸化膜8を48nm（480Å）の膜厚で形成した後、シリコン窒化酸化膜8上にフォトレジスト膜4を塗布し、100℃で90秒間プリベークを行った。この際、フォトレジスト膜4の膜厚が585nm（5850Å）となるように塗布時の回転数を調節する。

【 0 1 2 5 】

次に、図 5 8 に示すように、配線パターンが描かれたレティクル 5 を介して K r F エキシマレーザー 6 を光源とするステッパーを用いて露光を行った。照明条件は $NA = 0.65$ で、 $2/3$ 輪帯照明アパーチャーを用いたオフアクシス法を適用した。

【 0 1 2 6 】

続いて、 110°C で 90 秒間ベーク (P E B) を行った後、テトラメチルアンモニウムヒドロキシド (TMAH) の 2.38 重量% 水溶液を用いて 60 秒間の現像を行うことによって、図 5 9 に示すようにレティクルに応じたレジストパターン 4 a を得る。

【 0 1 2 7 】

そして、図 6 0 に示すように、レジストパターン 4 a に対し、イオン 7 の注入を行った。ここでは、イオン種としてアルゴンを用い、 50keV (注入エネルギー) で $1 \times 10^{16} / \text{cm}^2$ (ドーズ量) でイオン注入を行う。このイオン注入によって、前述したように、レジストパターン 4 a の膜厚は収縮するとともに、シリコン酸化膜 2 1 及びシリコン窒化酸化膜 8 用のエッチング処理に対するエッチング耐性が向上する。

【 0 1 2 8 】

次に、図 6 1 に示すように、レジストパターン 4 a をマスクとして、シリコン窒化酸化膜 8 とシリコン酸化膜 2 1 とに対するエッチング処理を行い、次に、レジストパターン 4 a を剥離した後、パターニングされたシリコン窒化酸化膜 8 及びシリコン酸化膜 2 1 をマスクとして、ポリシリコン層 2 に対するエッチングを行い、所望の配線パターン (ポリシリコンパターン 2 a) を得る。なお、レジストパターン 4 a をマスクとしてシリコン窒化酸化膜 8、シリコン酸化膜 2 1 及びポリシリコン層 2 に対するエッチング処理を一括して行っても良い。

【 0 1 2 9 】

この際、レジストパターン 4 a はイオン注入によって、シリコン酸化膜 2 1 及びシリコン窒化酸化膜 8 用のエッチング処理に対するエッチング耐性が向上しているため、レジストパターン 4 a の膜厚が図 6 0 で示す工程で収縮してもエッチ

ングのマスクとして支障無く機能する。

【0130】

しかしながら、レジストパターン4 aにイオン注入を行うと、レジストパターン4 aの表面から硬化層の形成が進むため、その後のシリコン窒化酸化膜8及びシリコン酸化膜21に対するドライエッチング処理中レジストパターン4 aの内部から発生するガスがレジストパターン4 a内に閉じこめられ、しかる後、レジストパターン4 aの破裂が起こる危険性があるという問題点があった。このため、ドライエッチングの仕様を満たすプロセス条件の許容範囲であるプロセスウィンドウに制限が生じてしまう。

【0131】

一般にポジ型のフォトリソ膜では光照射部分で化学反応が起こり、反応生成物が放出される。g線、i線用として広く用いられるノボラック-キノンジアジド系レジストでは窒素が、KrF用に用いられる化学増幅型レジストでは保護基の構造に応じて二酸化炭素やブテン、エタノールのような化合物が主生成物として発生し、その他にも残存溶剤やポリマーの分解物が発生することによってガス発生現象が起こるものと考えられる。

【0132】

上述したイオン注入されたフォトリソ膜のガス発生による破裂問題の解決を図るのが以下で述べる実施の形態8～実施の形態12である。

【0133】

<方法>

図62～図67はこの発明の実施の形態8である配線パターン形成方法の一つであるゲートパターン形成工程を示す断面図である。以下、これらの図を参照して、実施の形態8の処理手順を説明する。

【0134】

まず、図62に示すように、シリコン基板1上にシリコン酸化膜12を15 nmの膜厚で、続いてポリシリコン層2を100 nmの膜厚で、次にシリコン酸化膜21を50 nmの膜厚で、さらにシリコン窒化酸化膜8を48 nmの膜厚で形成した後、シリコン窒化酸化膜8上にフォトリソ膜4を塗布し、100℃で

90秒間プリベークを行った。この際、フォトレジスト膜4の膜厚が585nmとなるように塗布時の回転数を調節する。

【0135】

次に、図63に示すように、配線パターンが描かれたレティクル5を介してKrFエキシマレーザー6を光源とするステッパーを用いて露光を行った。照明条件はNA=0.65で、2/3輪帯照明アパーチャーを用いたオフアクシス法を適用した。

【0136】

続いて、110℃で90秒間ベーク（PEB）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の2.38重量%水溶液を用いて60秒間の現像を行うことによって、図64に示すようにレティクルに応じたレジストパターン4aを得る。

【0137】

次に、図65に示すように、レジストパターン4aに対し、KrFエキシマレーザー19を光源とするステッパーを用いて露光を行い、その後、熱源20を用いて100℃で90秒間ベークを行い、レジストパターン4cを得た。なお、KrFエキシマレーザー19の波長は248nmである。

【0138】

図65で示した露光処理及び熱処理によって、レジストパターン4aから化学反応の一つである分解反応が進んだレジストパターン4cに変化させることができる。

【0139】

そして、図6.6に示すように、レジストパターン4cに対し、イオン7の注入を行い、レジストパターン4dを得た。ここでは、イオン種としてアルゴンを用い、50keVで $1 \times 10^{16} / \text{cm}^2$ でイオン注入を行う。このイオン注入によって、前述したように、レジストパターン4dの膜厚はレジストパターン4cから収縮するとともに、シリコン酸化膜21及びシリコン窒化酸化膜8用のエッチング処理に対するエッチング耐性が向上する。例えば、図66で示すイオン注入前のレジストパターン14cが0.14μmのライン幅であったものが、イオン

注入後のレジストパターン 1 4 d では 0. 1 0 μ m まで縮小される。

【 0 1 4 0 】

次に、図 6 7 に示すように、レジストパターン 4 d をマスクとして、シリコン窒化酸化膜 8 とシリコン酸化膜 2 1 とに対するエッチング処理を行い、次に、レジストパターン 4 d を剥離した後、パターニングされたシリコン窒化酸化膜 8 及びシリコン酸化膜 2 1 をマスクとして、ポリシリコン層 2 に対するエッチングを行い、所望の配線パターン（ポリシリコンパターン 2 a）を得る。なお、レジストパターン 4 d をマスクとして、シリコン窒化酸化膜 8、シリコン酸化膜 2 1 及びポリシリコン層 2 に対するエッチング処理を行うようにしても良い。

【 0 1 4 1 】

この際、レジストパターン 4 d はイオン注入によって、シリコン酸化膜 2 1 及びシリコン窒化酸化膜 8 用のエッチング処理に対するエッチング耐性がレジストパターン 4 c よりも向上しているため、レジストパターン 4 d の膜厚が図 6 6 で示す工程で収縮してもエッチングのマスクとして支障無く機能する。

【 0 1 4 2 】

さらに、図 6 5 で示した露光処理及び熱処理（化学反応促進処理）によってレジストパターン 4 d（4 c）は分解反応が進んだ状態であるため、シリコン窒化酸化膜 8 及びシリコン酸化膜 2 1 に対するエッチング処理時にはレジストパターン 4 d 内にガスが発生することなく、レジストパターン 4 d に破裂等の問題が生じることもない。

【 0 1 4 3 】

本実施の形態では、配線パターン形成方法として、ポリシリコン層 2 を用いたゲートパターン形成工程を示した、ビット線形成工程、メタル配線工程、ホール工程等、他の工程にも勿論本発明を適用することができる。

【 0 1 4 4 】

<< 実施の形態 9 >>

図 6 8 ～図 7 3 はこの発明の実施の形態 9 であるキャパシタパターン形成工程を示す断面図である。また、図 7 4 は D R A M のキャパシタ形成工程のパターンが描かれたレティクルを示す説明図である。実施の形態 9 では D R A M のキャパ

シタ形成を行うことを前提としている。以下、これらの図を参照して実施の形態 9 の処理手順を説明する。

【 0 1 4 5 】

まず、図 6 8 に示すように、シリコン基板 1 上にシリコン窒化膜 2 2 を 5 0 n m の膜厚で、続いてシリコン酸化膜 2 3 を 1 5 0 0 n m の膜厚で形成した後、シリコン酸化膜 2 3 上にフォトレジスト膜 4 を塗布し、1 0 0 ° C で 6 0 秒間プリベークを行った。この時、フォトレジスト膜 4 の膜厚が 8 8 0 n m となるように塗布時の回転数を調節した。

【 0 1 4 6 】

次に、図 6 9 に示すように、DRAM のキャパシタ形成工程のパターンが描かれたレティクル（フォトマスク）2 6 （図 7 4 参照）を介して K r F エキシマレーザー（波長は 2 4 8 n m ）6 を光源とするステッパーを用いて露光を行った。照明条件は $NA = 0.65$ で、2 / 3 輪帯照明アパーチャーを用いたオフアクシス法を適用した。

【 0 1 4 7 】

続いて、図 7 0 に示すように、1 1 0 ° C で 9 0 秒間ベーク（P E B）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の 2.38 重量％水溶液を用いて 6 0 秒間の現像を行うことによって、レティクルに応じたキャパシタ用レジストパターン 2 5 a を得る。

【 0 1 4 8 】

そして、図 7 1 に示すように、レジストパターン 2 5 a に対し、K r F エキシマレーザー 1 9 を光源とするステッパーを用いて露光を行い、その後、熱源 2 0 を用いて 1 0 0 ° C で 9 0 秒間ベークを行い、レジストパターン 2 5 c を得た。

【 0 1 4 9 】

図 7 1 で示した露光処理及び熱処理によって、レジストパターン 2 5 a から、分解反応が進んだレジストパターン 2 5 c に変化させることができる。

【 0 1 5 0 】

次に、図 7 2 に示すように、アルゴンをイオン種として、5 0 k e V、 $1 \times 10^{16} / \text{cm}^2$ の条件でイオン 7 の注入をレジストパターン 2 5 c に対して行い、

レジストパターン 2 5 d を得た。

【 0 1 5 1 】

レジストパターン 2 5 d は、イオン注入を行うことによりパターン収縮が起こり、レジストの残し部分のライン幅はレジストパターン 2 5 c の $0.17 \mu\text{m}$ から $0.11 \mu\text{m}$ まで減少した。

【 0 1 5 2 】

そして、図 7 3 に示すように、レジストパターン 2 5 d をマスクとして、シリコン酸化膜 2 3 及びシリコン酸化窒化膜 2 4 に対するエッチング処理を行うことにより、誘電体となるキャパシタパターン（シリコン酸化膜パターン 2 3 a 及びシリコン酸化窒化膜パターン 2 4 a）を得る。

【 0 1 5 3 】

この際、レジストパターン 2 5 d はイオン注入によって、シリコン酸化膜 2 3 及びシリコン酸化窒化膜 2 4 用のエッチング処理に対するエッチング耐性がレジストパターン 2 5 c から向上しているため、レジストパターン 2 5 d の膜厚が図 7 2 で示す工程でレジストパターン 2 5 c から収縮してもエッチングのマスクとして支障無く機能する。

【 0 1 5 4 】

さらに、図 7 1 で示した露光処理及び熱処理によってレジストパターン 2 5 d（2 5 c）の分解反応が進んでいるため、上述したようにガス発生問題を効果的に抑制することができ、レジストパターン 2 5 d に破裂等の問題が生じることもない。

【 0 1 5 5 】

DRAM のキャパシタ形成工程では大きな容量を得るために、すなわち、表面積の広いポリシリコン等によりなる電極を形成するために、大きな開口パターンを形成することが望ましく、この方法を適用することにより、ライン幅収縮に伴うスペース幅の拡大が比較的容易に行えるため有効である。

【 0 1 5 6 】

本実施の形態でキャパシタパターン形成工程を述べたが、DRAM のセルフアラインコンタクトホール形成工程やスタックビアホール形成工程においても大き

な開口パターンを形成する目的で、実施の形態 9 の方法を適用することにより同様の効果を得ることができる。

【0157】

<<実施の形態 10>>

<課題>

図 28～図 35 で示した実施の形態 4 の配線パターン形成方法では、1 層目のフォトリソ膜であるフォトリソ膜 4 と 2 層目のフォトリソ膜であるフォトリソ膜 14 とからなるフォトリソの 2 層塗布によって配線パターンを形成している。

【0158】

この場合にも、フォトリソ膜 4 のレジストパターン 4 b 上に形成したフォトリソ膜 14 のレジストパターン 14 b 形成時に 1 層目のフォトリソ膜の破裂が起こる危険性があるという問題点があった。

【0159】

すなわち、レジストパターン 4 b にイオン注入した後、その上に形成したフォトリソ膜 14 の露光、ベーク処理の際に、イオン注入によって硬化したレジストパターン 4 b の内部から発生するガスのためにレジストパターン 4 b の破裂が起こるという問題点があった。このような現象は、レジストパターン 4 b において、特に大面積のパターンの場合に起こりやすい。実施の形態 10 は上記問題の解決を図った方法である。

【0160】

<方法>

図 75～図 83 はこの発明の実施の形態 10 である配線パターン形成方法を示す断面図である。実施の形態 10 では、トランジスタ部分が $0.1 \mu\text{m}$ 以下の細かいラインパターン、上層あるいは下層との接続のためのコンタクトホールを設けるためのカバーを形成するゲート工程を示している。以下、これらの図を参照して、実施の形態 10 の処理手順を説明する。

【0161】

デバイスの高速動作のためにはより細いライン幅のトランジスタ形成が要求さ

れ、一方、コンタクトホールのカバーは接触面積を確保するためにより大きく形成する必要がある。さらに、デバイスを高集積化するためにはカバー間のスペースはできるだけ詰めることが重要である。

【0162】

実施の形態8及び実施の形態9に示したように、イオン注入によるパターン収縮を利用することによりトランジスタ部分の細いラインパターンを形成することは可能になるが、コンタクトカバー部分を縮小することは上述した理由で望ましくない。そこで、実施の形態4と同様に、2層のフォトリソ膜を用いた2回の写真製版に分けて行う方法が効果的である。

【0163】

まず、図75に示すように、シリコン基板1上に膜厚が15nm(150Å)のシリコン酸化膜12、膜厚が100nm(1000Å)のポリシリコン層2を形成した後、ポリシリコン層2上に膜厚が50nm(500Å)のシリコン酸化膜21、膜厚が48nm(480Å)のシリコン窒化酸化膜8を形成した後、フォトリソ膜27を塗布し、100℃で90秒間プリベークを行う。この時、フォトリソ膜27の膜厚が585nmとなるように塗布時の回転数を調節した。

【0164】

次に、図76に示すように、第1の加工領域であるトランジスタ形成領域の配線パターンのみが描かれたレティクル(フォトマスク)5aを介してKrFエキシマレーザー(波長は248nm)6を光源とするステッパーを用いて露光を行った。照明条件はNA=0.65で、2/3輪帯照明アパーチャーを用いたオフアクシス法を適用した。

【0165】

続いて、図77に示すように、110℃で90秒間ベーク(PEB)を行った後、テトラメチルアンモニウムヒドロキシド(TMAH)の2.38重量%水溶液を用いて60秒間の現像を行うことによって、比較的密なライン幅0.14μmのレジストパターン27aを得る。

【0166】

そして、図 7 8 に示すように、レジストパターン 2 7 a に対し、K r F エキシマレーザー 1 9 を光源とするステッパーを用いて露光を行い、その後、熱源 2 0 を用いて 1 1 0 °C で 9 0 秒間ベークを行い、レジストパターン 2 7 c を得た。なお、K r F エキシマレーザー 1 9 の波長は 2 4 8 n m である。

【0 1 6 7】

図 7 8 で示した露光処理及び熱処理によって、レジストパターン 2 7 a に比べレジストパターン 2 7 c の分解反応を進めることができる。

【0 1 6 8】

次に、図 7 9 に示すように、アルゴンをイオン種として、5 0 k e V、 $1 \times 10^{16} / \text{cm}^2$ の条件で、レジストパターン 2 7 c に対してイオン 7 の注入を行ってレジストパターン 2 7 d を得る。このイオン注入によって、前述したように、レジストパターン 2 7 d の膜厚はレジストパターン 2 7 c から収縮するとともに、シリコン酸化膜 2 1 及びシリコン窒化酸化膜 8 用のエッチング処理に対するエッチング耐性が向上する。

【0 1 6 9】

そして、図 8 0 に示すように、レジストパターン 2 7 d を含む全面にフォトレジスト膜 2 9 を塗布形成する。この時、塗布条件は一層目のフォトレジスト膜 2 7 の形成時と同じである。

【0 1 7 0】

次に、図 8 1 に示すように、トランジスタ形成領域を除く第 2 の加工領域であるコンタクトホール形成領域に対応して描かれたレティクル（フォトマスク）5 b を介して K r F エキシマレーザー（波長は 2 4 8 n m）6 を光源とするステッパーを用いて露光を行う。照明条件は $NA = 0.65$ で 2 / 3 輪帯照明アパーチャーを用いたオフアクシス法を適用した。

【0 1 7 1】

続いて、図 8 2 に示すように、1 1 0 °C で 9 0 秒間ベーク（P E B）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の 2.38 重量% 水溶液を用いて 6 0 秒間の現像を行うことによって、比較的疎なレジストパターン 2 9 a を得る。

【0 1 7 2】

この際、図 7 8 で示した露光処理及び熱処理によってレジストパターン 2 7 d (2 7 c) の分解反応が進んでいるため、上述したようにガス発生問題を効果的に抑制することができ、レジストパターン 2 7 d に破裂等の問題が生じることはない。

【0 1 7 3】

そして、図 8 3 に示すように、レジストパターン 2 7 d 及びレジストパターン 2 9 a をマスクとして、シリコン窒化酸化膜 8 とシリコン酸化膜 2 1 とに対するエッチング処理を行い、次に、レジストパターン 2 7 d 及びレジストパターン 2 9 a を剥離した後、パターンニングされたシリコン窒化酸化膜 8 及びシリコン酸化膜 2 1 をマスクとして、ポリシリコン層 2 に対するエッチングを行い、所望の配線パターン（ポリシリコンパターン 2 a）を得る。なお、レジストパターン 2 7 d 及びレジストパターン 2 9 a をマスクとして、シリコン窒化酸化膜 8、シリコン酸化膜 2 1 及びポリシリコン層 2 に対するエッチング処理を一括して行っても良い。

【0 1 7 4】

この際、レジストパターン 2 7 d はイオン注入によって、シリコン窒化酸化膜 8 及びシリコン酸化膜 2 1 用のエッチング処理に対するエッチング耐性がレジストパターン 2 7 c から向上しているため、レジストパターン 2 7 d の膜厚が図 7 9 で示す工程でレジストパターン 2 5 c から収縮してもエッチングのマスクとして支障無く機能する。

【0 1 7 5】

実施の形態 1 0 の方法により、トランジスタ形成領域にはマスクサイズより細かいライン幅の密なレジストパターン 2 7 d を形成するとともに、トランジスタ形成領域以外には比較的疎なレジストパターン 2 9 a を重ねて精度劣化無く形成することができ、粗密差の異なる配線パターンを精度よく形成することができる。

【0 1 7 6】

本実施の形態では、配線パターン形成方法として、ポリシリコン層 2 を用いたゲートパターン形成工程を示したが、ビット線形成工程、メタル配線工程、ホー

ル工程等、他の工程にも勿論本発明を適用することができる。

【0177】

<<実施の形態11>>

<課題>

実施の形態11は実施の形態10同様に同時形成が困難なパターン2度の写真製版に分けて行う際、さらに高いエッチング耐性を必要とする場合の配線パターン形成方法である。

【0178】

実施の形態11の配線パターン形成方法は、実施の形態10以上に微細なパターンを得るべくArFレジストを用いることを前提としている。ArFレジストはKrFレジストに比ベドライエッチング耐性が劣る上、レジスト膜厚を薄くすることが望まれる。そこで、2層目のフォトリソ膜についてもイオン注入を行いエッチング耐性の向上を図ったのが実施の形態12の方法である。

【0179】

<方法>

図84～図94はこの発明の実施の形態11である配線パターン形成方法を示す断面図である。実施の形態11では、トランジスタ部分が $0.1\mu\text{m}$ 以下の細いラインパターン、上層あるいは下層との接続のためのコンタクトホールに対するカバーを形成するゲート工程を示している。以下、これらの図を参照して、実施の形態11の処理手順を説明する。

【0180】

まず、図84に示すように、シリコン基板1上に膜厚が 15nm のシリコン酸化膜12、膜厚が 100nm のポリシリコン層2を形成した後、ポリシリコン層2上に膜厚が 50nm のシリコン酸化膜21、膜厚が 48nm のシリコン窒化酸化膜8を形成した後、フォトリソ膜31を塗布し、 100°C で90秒間プリベークを行う。この時、フォトリソ膜31の膜厚が 400nm (4000\AA)となるように塗布時の回転数を調節した。

【0181】

次に、図85に示すように、トランジスタ形成領域の配線パターンのみが描か

れたレティクル（フォトマスク）5 a を介して A r F エキシマレーザー（波長は 1 9 3 n m）2 8 を光源とするステッパーを用いて露光を行った。照明条件は N A = 0 . 6 0 で、2 / 3 輪帯照明アパーチャーを用いたオフアクシス法を適用した。

【 0 1 8 2 】

続いて、図 8 6 に示すように、1 1 0 ° C で 9 0 秒間ベーク（P E B）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の 2 . 3 8 重量%水溶液を用いて 6 0 秒間の現像を行うことによって、ライン幅 0 . 1 2 μ m のレジストパターン 3 1 a を得る。

【 0 1 8 3 】

そして、図 8 7 に示すように、レジストパターン 3 1 a に対し、A r F エキシマレーザー 3 0 を光源とするステッパーを用いて露光を行い、その後、熱源 2 0 を用いて 1 1 0 ° C で 9 0 秒間ベークを行い、レジストパターン 3 1 c を得た。なお、A r F エキシマレーザー 3 0 の波長は 1 9 3 n m である。

【 0 1 8 4 】

図 8 7 で示した露光処理及び熱処理によって、レジストパターン 3 1 a に比べレジストパターン 3 1 c の分解反応を進めることができる。

【 0 1 8 5 】

次に、図 8 8 に示すように、アルゴンをイオン種として、5 0 k e V、 $1 \times 10^{16} / \text{cm}^2$ の条件で、レジストパターン 3 1 c に対してイオン 7 の注入を行ってレジストパターン 3 1 d を得る。

【 0 1 8 6 】

このイオン注入によって、前述したように、レジストパターン 3 1 d の膜厚はレジストパターン 3 1 c から収縮するとともに、シリコン酸化膜 2 1 及びシリコン窒化酸化膜 8 用のエッチング処理に対するエッチング耐性が向上する。さらに、イオン注入後得られたレジストパターン 3 1 d は、レジストパターン 3 1 c のライン幅 0 . 1 2 μ m から、ライン幅 0 . 0 8 μ m まで縮小される。

【 0 1 8 7 】

そこで、図 8 9 に示すように、レジストパターン 3 1 d を含む全面にフォトレ

ジスト膜 3 4 を塗布形成する。この時、塗布条件は一層目のフォトレジスト膜 2 7 の形成時と同じである。

【0 1 8 8】

次に、図 9 0 に示すように、トランジスタ形成領域を除くコンタクトホール形成領域に対応して描かれたレティクル（フォトマスク）5 b を介して A r F エキシマレーザー（波長は 2 4 8 n m）2 8 を光源とするステッパーを用いて露光を行う。照明条件は $NA = 0.60$ で 2 / 3 輪帯照明アパーチャーを用いたオフアクシス法を適用した。

【0 1 8 9】

続いて、図 9 1 に示すように、1 1 0 °C で 9 0 秒間ベーク（P E B）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の 2.38 重量% 水溶液を用いて 6 0 秒間の現像を行うことによって、レジストパターン 3 4 a を得る。

【0 1 9 0】

この際、図 8 7 で示した露光処理及び熱処理によってレジストパターン 3 1 d（2 7 c）の分解反応が進んでいるため、上述したようにガス発生問題を効果的に抑制することができ、レジストパターン 3 1 d に破裂等の問題が生じることはない。

【0 1 9 1】

次に、図 9 2 に示すように、レジストパターン 3 1 d 及びレジストパターン 3 4 a に対し、A r F エキシマレーザー（波長は 1 9 3 n m）3 0 を光源とするステッパーを用いて露光を行い、その後、1 0 0 °C で 9 0 秒間ベークを行い、レジストパターン 3 1 e 及びレジストパターン 3 4 c を得た。

【0 1 9 2】

そして、図 9 3 に示すように、レジストパターン 3 1 e 及びレジストパターン 3 4 c に対しイオン 7 の注入を行いレジストパターン 3 1 f 及びレジストパターン 3 4 d を得た。ここでは、アルゴンをイオン種として、注入エネルギー 5 0 k e V、 $1 \times 10^{15} / \text{cm}^2$ の条件でイオン 7 の注入を行った。

【0 1 9 3】

なお、図 9 3 で示すイオン注入工程におけるイオン注入量を図 8 8 で示すイオン注入工程におけるイオン注入量より減らすことにより、レジストパターン 3 1 f 及びレジストパターン 3 4 d のレジストパターン 3 1 e 及びレジストパターン 3 4 c に対する収縮量を最小限に抑制することができる。

【0 1 9 4】

図 9 3 で示すイオン注入工程によって、レジストパターン 3 1 f (トランジスタ形成領域のパターン) 及びレジストパターン 3 4 d (トランジスタ形成領域以外のパターン) のエッチング耐性をレジストパターン 3 1 e 及びレジストパターン 3 4 c より高めることができる。

【0 1 9 5】

そして、図 9 4 に示すように、比較的密なレジストパターン 3 1 f 及び比較的疎なレジストパターン 3 4 d をマスクとして、シリコン窒化酸化膜 8 とシリコン酸化膜 2 1 とに対するエッチング処理を行い、次に、レジストパターン 3 1 f 及びレジストパターン 3 4 d を剥離した後、パターニングされたシリコン窒化酸化膜 8 及びシリコン酸化膜 2 1 をマスクとして、ポリシリコン層 2 に対するエッチングを行い、所望の配線パターン (ポリシリコンパターン 2 a) を得る。なお、レジストパターン 3 1 f 及びレジストパターン 3 4 d をマスクとして、シリコン窒化酸化膜 8、シリコン酸化膜 2 1 及びポリシリコン層 2 に対するエッチング処理を一括して行ってもよい。

【0 1 9 6】

この際、レジストパターン 3 1 f 及びレジストパターン 3 4 d はイオン注入によって、シリコン窒化酸化膜 8 及びシリコン酸化膜 2 1 用のエッチング処理に対するエッチング耐性がレジストパターン 3 1 c から向上しているため、レジストパターン 3 1 f の膜厚が図 8 8 及び図 9 3 で示すイオン注入工程で収縮し、レジストパターン 3 4 d の膜厚が図 9 3 で示すイオン注入工程で収縮してもエッチングのマスクとして支障無く機能する。

【0 1 9 7】

さらに、図 8 2 で示した露光処理及び熱処理によってレジストパターン 3 1 f (3 1 e) 及びレジストパターン 3 4 d (3 4 c) の分解反応が進んでいるため

、上述したようにガス発生問題を効果的に抑制することができ、レジストパターン 3 1 f 及びレジストパターン 3 4 d に破裂等の問題が生じることはない。

【0 1 9 8】

実施の形態 1 1 の方法により、トランジスタ形成領域にはマスクサイズより細かいライン幅の密なレジストパターン 3 1 f を形成するとともに、トランジスタ形成領域以外には比較的疎なレジストパターン 3 4 d を重ねて精度劣化無く形成することができ、粗密差の異なる配線パターンを精度よく形成することができる。

【0 1 9 9】

本実施の形態では、配線パターン形成方法として、ポリシリコン層 2 を用いたゲートパターン形成工程を示したが、ビット線形成工程、メタル配線工程、ホール工程等、他の工程にも勿論本発明を適用することができる。

【0 2 0 0】

<<実施の形態 1 2>>

図 9 5 ～図 9 9 はこの発明の実施の形態 1 2 である配線パターン形成方法の一つであるゲートパターン形成工程を示す断面図である。以下、これらの図を参照して、その処理手順を説明する。

【0 2 0 1】

まず、図 9 5 に示すように、シリコン基板 1 上にシリコン酸化膜 1 2 を 1 5 n m の膜厚で、続いてポリシリコン層 2 を 1 0 0 n m の膜厚で、さらにシリコン酸化膜 2 1 を 5 0 n m の膜厚で、続いてシリコン窒化酸化膜 8 を 4 8 n m の膜厚で形成した後、シリコン窒化酸化膜 8 上にフォトレジスト膜 4 を塗布し、1 0 0℃で 9 0 秒間プリベークを行った。この際、フォトレジスト膜 4 の膜厚が 5 8 5 n m となるように塗布時の回転数を調節する。

【0 2 0 2】

次に、図 9 6 に示すように、配線パターンが描かれたレティクル 5 を介して K r F エキシマレーザー 6 を光源とするステッパーを用いて露光を行った。照明条件は N A = 0 . 6 5 で、2 / 3 輪帯照明アパーチャーを用いたオフアクシス法を適用した。

【0 2 0 3】

続いて、110℃で90秒間ベーク（PEB）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の2.38重量%水溶液を用いて60秒間の現像を行うことによって、図97に示すようにレティクルに応じたレジストパターン4aを得る。

【0204】

そして、図98に示すように、レジストパターン4aに対し、イオン7の注入を3ステップに分けて、イオン7a、7b及び7cの順で行った。ここでは、イオン種としてボロンを用い、イオン7aは150keV（注入エネルギー）で $4 \times 10^{15} / \text{cm}^2$ （ドーズ量）でイオン注入され、イオン7bは90keVで $3 \times 10^{15} / \text{cm}^2$ でイオン注入され、イオン7cは40keVで $3 \times 10^{15} / \text{cm}^2$ でイオン注入される。これらイオン7a～7cの3ステップの部分イオン注入によって、レジストパターン4aの膜厚は収縮するとともに、シリコン酸化膜21及びシリコン窒化酸化膜8用のエッチング処理に対するエッチング耐性が向上する。

【0205】

図100はイオンの注入エネルギー（keV）と平均飛程距離 R_p （Å）との関係を示すグラフである。同図において、白丸はボロン、黒丸はリン、白三角はヒ素、黒三角はアンチモンを意味している。注入イオンはレジスト中の原子との衝突により散乱され複雑な奇跡を描きながら、図100で示した平均飛程距離 R_p を中心として分布する。

【0206】

したがって、イオン7aの注入（第1の部分イオン注入）によりレジストパターン4aの下層部、イオン7bの注入（第2の部分イオン注入）によりレジストパターン4aの中層部、イオン7cの注入（第3の部分イオン注入）によりレジストパターン4aの上層部にそれぞれボロンの平均飛程距離 R_p が設定されるため、レジストパターン4aの上部から底部にかけてボロンイオンが注入されることにより、レジストパターン4aの硬化が上部から底部にかけてほぼ均一に行われる。

【0207】

次に、図 9 9 に示すように、レジストパターン 4 a をマスクとして、シリコン窒化酸化膜 8 とシリコン酸化膜 2 1 とに対するエッチング処理を行い、次に、レジストパターン 4 a を剥離した後、パターニングされたシリコン窒化酸化膜 8 及びシリコン酸化膜 2 1 をマスクとして、ポリシリコン層 2 に対するエッチングを行い、所望の配線パターン（ポリシリコンパターン 2 a）を得る。なお、レジストパターン 4 a をマスクとして、シリコン窒化酸化膜 8、シリコン酸化膜 2 1 及びポリシリコン層 2 に対するエッチング処理を一括して行っても良い。

【0 2 0 8】

この際、レジストパターン 4 a の膜厚方向である上部から底部にかけてほぼ均一に硬化されているため、レジストパターン 4 a が破裂が起こりやすい大面積のパターンであっても、レジストパターン 4 a が破裂することなく正常なエッチング処理が行える。

【0 2 0 9】

<<その他>>

なお、上記の実施の形態では注入イオン種としてアルゴン（A r）あるいはボロン（B）を使用しているが、ヘリウム（H e）、ネオン（N e）、窒素（N₂）、一酸化炭素（C O）、リン（P）、ヒ素（A s）、アンチモン（S b）、フッ化ボロン（B F）など他のイオン種でも同様の効果を得ることができる。

【0 2 1 0】

さらには、キュアリング処理を行うイオン注入に代えて電子線照射、波長 $\lambda = 250 \sim 450 \text{ nm}$ 付近の D e e p U V 照射によっても同様な効果を得ることができる。要するに、レジストパターンに対して、パターンの収縮及びエッチング耐性の向上が可能な広義な意味のキュアリング処理が行えれば良い。

【0 2 1 1】

また、フォトリソレジスト膜として K r F、A r F エキシマ用レジストに限らず、g 線用レジスト、i 線用レジスト、V U V（F₂）エキシマ用レジスト、電子線用レジスト、X 線用レジストなどいずれの材料に対しても有効である。

【0 2 1 2】

なお、実施の形態 8 ～実施の形態 1 1 で示した化学反応促進処理である露光処

理及び熱処理はフォトリソグラフ膜によるレジストパターンの分解反応を促進させるために行うものである。したがって、レジストパターンの分解反応を促進することができれば露光処理及び熱処理のうち一方のみを行っても良い。

【0 2 1 3】

【発明の効果】

以上説明したように、この発明における請求項 1 記載の半導体装置の製造方法において、ステップ(d)の実行により、第 1 のレジストパターンの膜厚は、加工パターンにおける密なパターン部分と疎なパターン部分との間に生じる、加工パターン第 1 のレジストパターンに対する寸法ズレ量の差が所定の基準以下で、かつ所定のエッチング処理に支障を来さない条件を満足する膜厚に設定されるため、エッチング対象物が絶縁物の場合で加工パターンが比較的大きな粗密差を有する場合でも、ステップ(e)によって、加工パターンを寸法精度良く得ることができる。

【0 2 1 4】

さらに、第 1 のレジストパターンはステップ(d)の処理でイオン注入されることにより、所定のエッチング処理に対するエッチング耐性が向上されているため、第 1 のレジストパターンの膜厚が薄くなっても所定のエッチング処理に悪影響を与えない。

【0 2 1 5】

加えて、第 1 のレジストパターンはステップ(d)の処理でイオン注入されることにより、第 1 のレジストパターンのエッジ部分のラフネスが緩和され、直線性の優れた第 1 のレジストパターンを得ることができる。

【0 2 1 6】

請求項 2 記載の半導体装置の製造方法は、ステップ(d)で注入されるイオンが実エッチング対象物に注入されるのをイオン阻止膜によって阻止されるため、イオン注入によって実エッチング対象物が悪影響を受けることはない。

【0 2 1 7】

請求項 3 記載の半導体装置の製造方法において、シリコン窒化膜あるいはシリコン窒化酸化膜はプラズマ C V D 法を用いて形成されるため、均一な膜厚で形成

することができるため、第1のレジストパターン形状に悪影響を与えない。

【0 2 1 8】

請求項4記載の半導体装置の製造方法において、イオン阻止膜は有機反射防止膜を含むため、有機反射防止膜はイオン注入によって段差が軽減する方向に膜厚が収縮するため、エッチング対象物の段差をイオン注入前より平坦化することができ、所定のエッチング処理時に上記段差によって生じる加工パターンの寸法不均一性を低減することができる。

【0 2 1 9】

請求項5記載の半導体装置の製造方法において、ステップ(d)に加え、ステップ(a-3)の実行時に行うイオン注入によって、エッチング対象物の段差を大幅に平坦化することができ、所定のエッチング処理時に上記段差によって生じる加工パターンの寸法不均一性をより一層低減化することができる。

【0 2 2 0】

請求項6記載の半導体装置の製造方法において、イオン注入によって生じるパターン収縮現象を利用した比較的密な第1のレジストパターンと、イオン注入によって生じるパターン収縮現象を利用しない比較的疎な第2のレジストパターンとをマスクとした所定のエッチング処理を実行することにより、粗密差の異なる加工パターンを精度良く得ることができる。

【0 2 2 1】

請求項7記載の半導体装置の製造方法において、第1のレジストパターンはステップ(d)のイオン注入によって生じる組成変化によって、ステップ(g)実行時に実質的に除去されないため、ステップ(f)で行う第2のレジストの形成処理は最も単純な全面形成処理で実行することができる。

【0 2 2 2】

請求項8記載の半導体装置の製造方法において、ステップ(d)のイオン注入は第1のレジストパターンの形成面の垂線に対し斜め方向上から行うため、第1のレジストパターンの側面によってもエッチング対象物へのイオン注入が阻止されることにより、第1のレジストパターン下のエッチング対象物にはイオンがほとんど注入されない。したがって、エッチング対象物にイオンが注入される不具合

を回避することができる。

【 0 2 2 3 】

請求項 9 記載の半導体装置の製造方法において、エッチング対象物として表面に凹凸形状を有しているが、ステップ(d)のイオン注入によって当該凹凸形状が緩和されるため、凹凸形状による悪影響を抑制することができる。

【 0 2 2 4 】

請求項 1 0 記載の半導体装置の製造方法は、ステップ(d)のイオン注入によってエッチング対象物表面の凹凸形状が緩和されるため、ステップ(b)の露光処理に上記凹凸形状からの反射によって生じる悪影響を抑制することができる。

【 0 2 2 5 】

請求項 1 1 記載の半導体装置の製造方法において、エッチング対象物表面にマスクの重ね合わせ用のマークを有している。このマークは表面の凹凸形状によって計測精度が劣化するが、ステップ(h)のイオン注入によって当該凹凸形状が緩和されるため、当該マークの計測精度の向上に伴いマスクの重ね合わせ精度を向上させることができる。

【 0 2 2 6 】

請求項 1 2 記載の半導体装置の製造方法は、ステップ(h-3)で、第 3 のレジストパターンをマスクとして、エッチング対象物のマーク形成領域にイオンを注入するため、ステップ(h)のイオン注入によってマーク形成領域表面の凹凸形状が緩和されるため、当該マークの計測精度の向上に伴いマスクの重ね合わせ精度を向上させることができる。

【 0 2 2 7 】

さらに、第 3 のレジストパターンによって、マーク形成領域以外のエッチング対象物へのイオン注入を確実に阻止することができる。

【 0 2 2 8 】

請求項 1 3 記載の半導体装置の製造方法は、注入エネルギーの異なる複数の部分イオン注入を行うことにより、第 1 のレジストパターンを膜厚方向に均一性よく硬化させることにより、ステップ(e)の所定のエッチング処理を、第 1 のレジストパターンに支障を来すことなく実行することができる。

【0 2 2 9】

この発明に係る請求項 1 4 記載の半導体装置の製造方法において、ステップ(e)のキュアリング処理の実行により、第 1 のレジストパターンの膜厚は収縮するため、ステップ(f)によって、加工パターンを寸法精度良く得ることができる。

【0 2 3 0】

加えて、ステップ(d)の化学反応促進処理によって、第 1 のレジストパターンの分解反応が促進されるため、ステップ(f)実行時に第 1 のレジストパターン内にガスが発生することに伴う不具合を確実に回避することができる。

【0 2 3 1】

請求項 1 5 記載の半導体装置の製造方法において、キュアリング処理によって生じる膜厚及びパターン寸法の収縮現象を利用した比較的密な第 1 のレジストパターンと、キュアリング処理によって生じる膜厚及びパターン寸法の収縮現象を利用しない比較的疎な第 2 のレジストパターンとをマスクとした所定のエッチング処理を実行することにより、粗密差の異なる加工パターンを精度良く得ることができる。

【0 2 3 2】

請求項 1 6 記載の半導体装置の製造方法において、ステップ(j)のキュアリング処理によって、所定のエッチング処理に対する第 2 のレジストパターンのエッチング耐性を向上させることができる。この際、第 2 のレジストパターンの膜厚収縮がほとんど生じないようにステップ(j)のキュアリング処理を行えば、比較的疎な第 2 のレジストパターンを維持することができる。

【0 2 3 3】

加えて、ステップ(d)及び(i)の化学反応促進処理によって、第 1 及び第 2 のレジストパターンの分解反応が促進されるため、ステップ(f)実行時に第 1 及び第 2 のレジストパターン内にガスが発生することに伴う不具合を確実に回避することができる。

【0 2 3 4】

請求項 1 7 記載の半導体装置の製造方法において、対象物である第 1 あるいは第 2 のレジストパターンに対して露光処理及び熱処理を施すことにより、第 1 あ

るいは第2のレジストパターンにおける分解反応を促進させることができる。

【0235】

この発明に係る請求項18記載の半導体装置の製造方法において、ステップ(d)のキュアリング処理によって生じる膜厚及びパターン寸法の収縮現象を利用した比較的密な第1のレジストパターンと、キュアリング処理によって生じる膜厚及びパターン寸法の収縮現象を利用しない比較的疎な第2のレジストパターンとをマスクとした所定のエッチング処理を実行することにより、粗密差の異なる加工パターンを精度良く得ることができる。

【図面の簡単な説明】

【図1】 実施の形態1の原理となる配線パターン形成方法を示す断面図である。

【図2】 実施の形態1の原理となる配線パターン形成方法を示す断面図である。

【図3】 実施の形態1の原理となる配線パターン形成方法を示す断面図である。

【図4】 実施の形態1の原理となる配線パターン形成方法を示す断面図である。

【図5】 レジストパターンとエッチング後の加工パターンのパターン寸法の比較結果を示すグラフである。

【図6】 スペース幅依存性を示すグラフである。

【図7】 この発明の実施の形態1である配線パターン形成方法を示す断面図である。

【図8】 実施の形態1の配線パターン形成方法を示す断面図である。

【図9】 実施の形態1の配線パターン形成方法を示す断面図である。

【図10】 実施の形態1の配線パターン形成方法を示す断面図である。

【図11】 実施の形態1の配線パターン形成方法を示す断面図である。

【図12】 スペース幅依存性を示すグラフである。

【図13】 現像後のレジストパターン形状を示す説明図である。

【図14】 イオン注入後のレジストパターン形状を示す説明図である。

- 【図 1 5】 実施の形態 2 の配線パターン形成方法を示す断面図である。
- 【図 1 6】 実施の形態 2 の配線パターン形成方法を示す断面図である。
- 【図 1 7】 実施の形態 2 の配線パターン形成方法を示す断面図である。
- 【図 1 8】 実施の形態 2 の配線パターン形成方法を示す断面図である。
- 【図 1 9】 実施の形態 2 の配線パターン形成方法を示す断面図である。
- 【図 2 0】 実施の形態 2 の配線パターン形成方法を示す断面図である。
- 【図 2 1】 実施の形態 3 の配線パターン形成方法を示す断面図である。
- 【図 2 2】 実施の形態 3 の配線パターン形成方法を示す断面図である。
- 【図 2 3】 実施の形態 3 の配線パターン形成方法を示す断面図である。
- 【図 2 4】 実施の形態 3 の配線パターン形成方法を示す断面図である。
- 【図 2 5】 実施の形態 3 の配線パターン形成方法を示す断面図である。
- 【図 2 6】 実施の形態 3 の配線パターン形成方法を示す断面図である。
- 【図 2 7】 実施の形態 3 の配線パターン形成方法を示す断面図である。
- 【図 2 8】 実施の形態 4 の配線パターン形成方法を示す断面図である。
- 【図 2 9】 実施の形態 4 の配線パターン形成方法を示す断面図である。
- 【図 3 0】 実施の形態 4 の配線パターン形成方法を示す断面図である。
- 【図 3 1】 実施の形態 4 の配線パターン形成方法を示す断面図である。
- 【図 3 2】 実施の形態 4 の配線パターン形成方法を示す断面図である。
- 【図 3 3】 実施の形態 4 の配線パターン形成方法を示す断面図である。
- 【図 3 4】 実施の形態 4 の配線パターン形成方法を示す断面図である。
- 【図 3 5】 実施の形態 4 の配線パターン形成方法を示す断面図である。
- 【図 3 6】 実施の形態 5 の配線パターン形成方法を示す断面図である。
- 【図 3 7】 実施の形態 5 の配線パターン形成方法を示す断面図である。
- 【図 3 8】 実施の形態 5 の配線パターン形成方法を示す断面図である。
- 【図 3 9】 実施の形態 5 の配線パターン形成方法を示す断面図である。
- 【図 4 0】 実施の形態 5 の配線パターン形成方法を示す断面図である。
- 【図 4 1】 D R A M のキャパシタ形成工程のパターンが描かれたレティクルを示す説明図である。
- 【図 4 2】 実施の形態 5 の配線パターン形成方法の特徴部を示す断面図で

ある。

【図 4 3】 通常のスパッタリング法で形成したアルミニウム膜の表面形状を模式的に示す説明図である。

【図 4 4】 加熱しながらスパッタリングして形成したアルミニウム膜の表面形状を模式的に示した説明図である。

【図 4 5】 加熱しながらスパッタリングして形成したアルミニウム膜にイオン注入した後の表面形状を模式的に示した説明図である。

【図 4 6】 この発明の実施の形態 6 である配線パターン形成方法の特徴部を示す断面図である。

【図 4 7】 この発明の実施の形態 7 である配線パターンの形成方法の特徴部を示す断面図である。

【図 4 8】 従来の配線パターン形成方法を示す断面図である。

【図 4 9】 従来の配線パターン形成方法を示す断面図である。

【図 5 0】 従来の配線パターン形成方法を示す断面図である。

【図 5 1】 従来の配線パターン形成方法を示す断面図である。

【図 5 2】 レジストパターンとエッチング後に得られる加工パターンとのパターン寸法の比較結果を示すグラフである。

【図 5 3】 スペース幅依存性を示すグラフである。

【図 5 4】 レジストパターンの肩落ち説明用の断面図である。

【図 5 5】 レジストパターンの肩落ち説明用の断面図である。

【図 5 6】 レジストパターンの肩落ち説明用の断面図である。

【図 5 7】 実施の形態 8 の前提となるゲートパターン形成工程を示す断面図である。

【図 5 8】 実施の形態 8 の前提となるゲートパターン形成工程を示す断面図である。

【図 5 9】 実施の形態 8 の前提となるゲートパターン形成工程を示す断面図である。

【図 6 0】 実施の形態 8 の前提となるゲートパターン形成工程を示す断面図である。

【図 6 1】 実施の形態 8 の前提となるゲートパターン形成工程を示す断面図である。

【図 6 2】 実施の形態 8 のゲートパターン形成工程を示す断面図である。

【図 6 3】 実施の形態 8 のゲートパターン形成工程を示す断面図である。

【図 6 4】 実施の形態 8 のゲートパターン形成工程を示す断面図である。

【図 6 5】 実施の形態 8 のゲートパターン形成工程を示す断面図である。

【図 6 6】 実施の形態 8 のゲートパターン形成工程を示す断面図である。

【図 6 7】 実施の形態 8 のゲートパターン形成工程を示す断面図である。

【図 6 8】 実施の形態 9 のキャパシタパターン形成工程を示す断面図である。

【図 6 9】 実施の形態 9 のキャパシタパターン形成工程を示す断面図である。

【図 7 0】 実施の形態 9 のキャパシタパターン形成工程を示す断面図である。

【図 7 1】 実施の形態 9 のキャパシタパターン形成工程を示す断面図である。

【図 7 2】 実施の形態 9 のキャパシタパターン形成工程を示す断面図である。

【図 7 3】 実施の形態 9 のキャパシタパターン形成工程を示す断面図である。

【図 7 4】 実施の形態 9 で用いられるレティクルを示す説明図である。

【図 7 5】 実施の形態 1 0 の配線パターン形成方法を示す断面図である。

【図 7 6】 実施の形態 1 0 の配線パターン形成方法を示す断面図である。

【図 7 7】 実施の形態 1 0 の配線パターン形成方法を示す断面図である。

【図 7 8】 実施の形態 1 0 の配線パターン形成方法を示す断面図である。

【図 7 9】 実施の形態 1 0 の配線パターン形成方法を示す断面図である。

【図 8 0】 実施の形態 1 0 の配線パターン形成方法を示す断面図である。

【図 8 1】 実施の形態 1 0 の配線パターン形成方法を示す断面図である。

【図 8 2】 実施の形態 1 0 の配線パターン形成方法を示す断面図である。

- 【図 8 3】 実施の形態 1 0 の配線パターン形成方法を示す断面図である。
- 【図 8 4】 実施の形態 1 1 の配線パターン形成方法を示す断面図である。
- 【図 8 5】 実施の形態 1 1 の配線パターン形成方法を示す断面図である。
- 【図 8 6】 実施の形態 1 1 の配線パターン形成方法を示す断面図である。
- 【図 8 7】 実施の形態 1 1 の配線パターン形成方法を示す断面図である。
- 【図 8 8】 実施の形態 1 1 の配線パターン形成方法を示す断面図である。
- 【図 8 9】 実施の形態 1 1 の配線パターン形成方法を示す断面図である。
- 【図 9 0】 実施の形態 1 1 の配線パターン形成方法を示す断面図である。
- 【図 9 1】 実施の形態 1 1 の配線パターン形成方法を示す断面図である。
- 【図 9 2】 実施の形態 1 1 の配線パターン形成方法を示す断面図である。
- 【図 9 3】 実施の形態 1 1 の配線パターン形成方法を示す断面図である。
- 【図 9 4】 実施の形態 1 1 の配線パターン形成方法を示す断面図である。
- 【図 9 5】 実施の形態 1 2 のゲートパターン形成工程を示す断面図である

。 【図 9 6】 実施の形態 1 2 のゲートパターン形成工程を示す断面図である

。 【図 9 7】 実施の形態 1 2 のゲートパターン形成工程を示す断面図である

。 【図 9 8】 実施の形態 1 2 のゲートパターン形成工程を示す断面図である

。 【図 9 9】 実施の形態 1 2 のゲートパターン形成工程を示す断面図である

。 【図 1 0 0】 イオンの注入エネルギーと平均飛程距離との関係を示すグラフである。

【符号の説明】

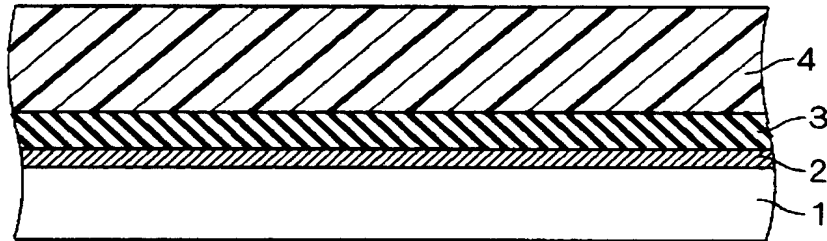
1 シリコン基板、2 ポリシリコン層、2 a ポリシリコンパターン、3、
2 2 シリコン窒化膜、3 a シリコン窒化パターン、4、1 4、2 5、2 9、
3 1、3 4 フォトレジスト膜、4 a～4 f、4 m、1 4 b、1 7、2 5 a、2
5 c、2 5 d、2 7 a、2 7 c、2 7 d、2 9 a、3 1 a、3 1 c～3 1 f、3

4 a、34 c、34 d レジストパターン、5、5 a、5 b、5 m、26 レテ
ィクル、6、19 レーザー、8、24 シリコン窒化酸化膜、9、12、13
、15、23 シリコン酸化膜、10 金属膜、11 有機BARC膜、16
アルミ層、19 マーク形成領域、A1 メモリセル領域、A2 周辺回路領域

。

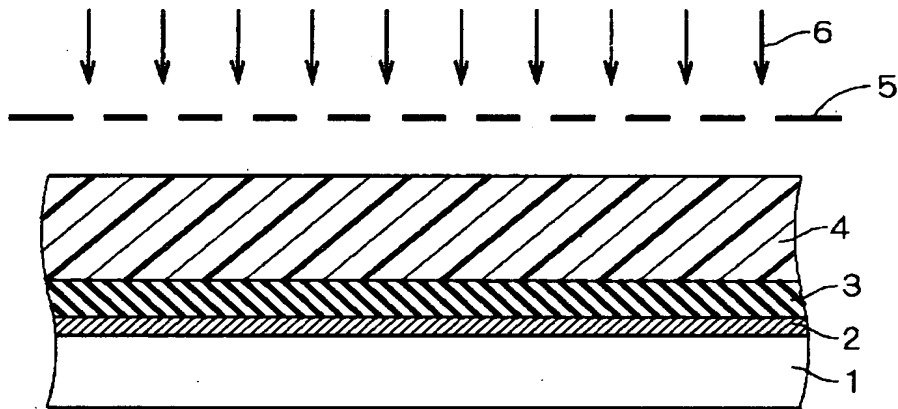
【書類名】 図面

【図 1】



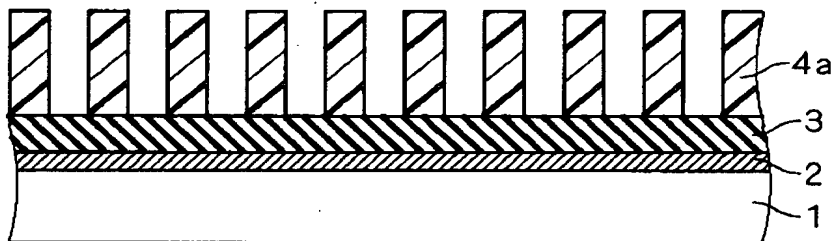
1 : シリコン基板 3 : シリコン窒化膜
2 : ポリシリコン層 4 : レジスト

【図 2】



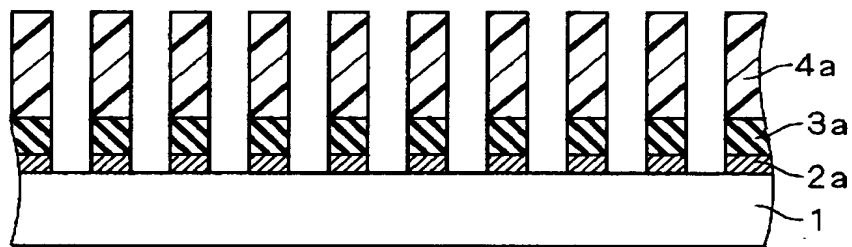
5 : レティクル 6 : レーザー

【図 3】



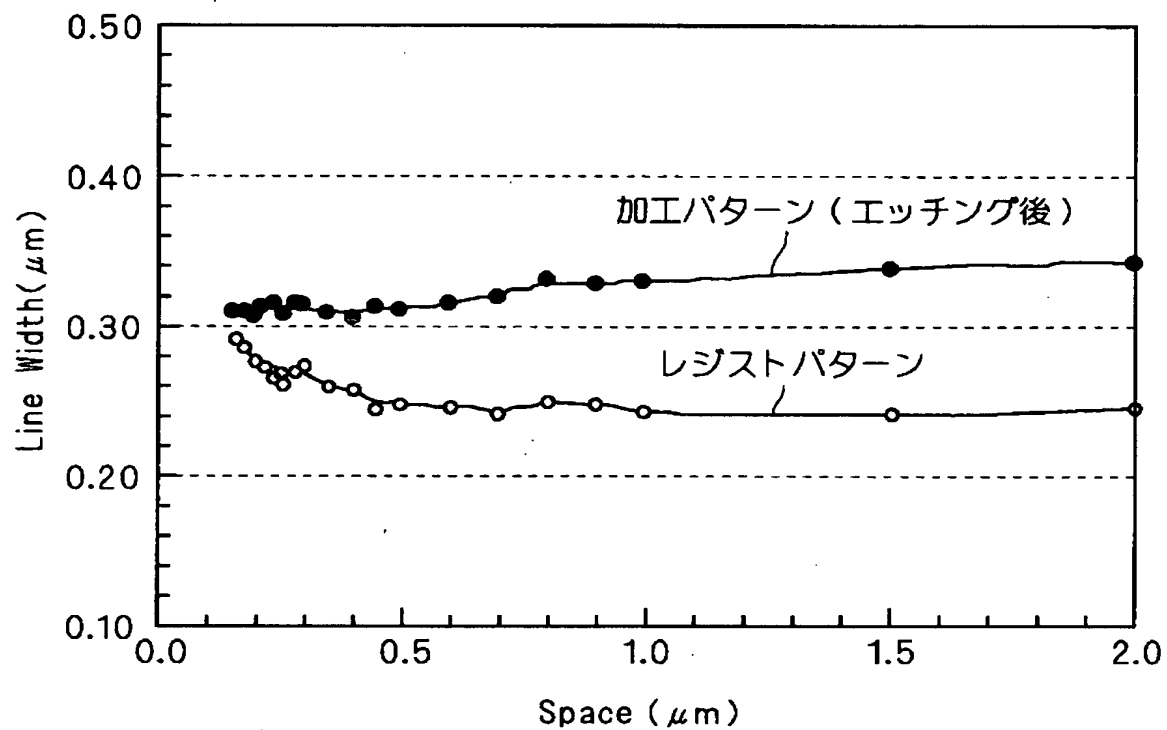
4a : レジストパターン

【図 4】

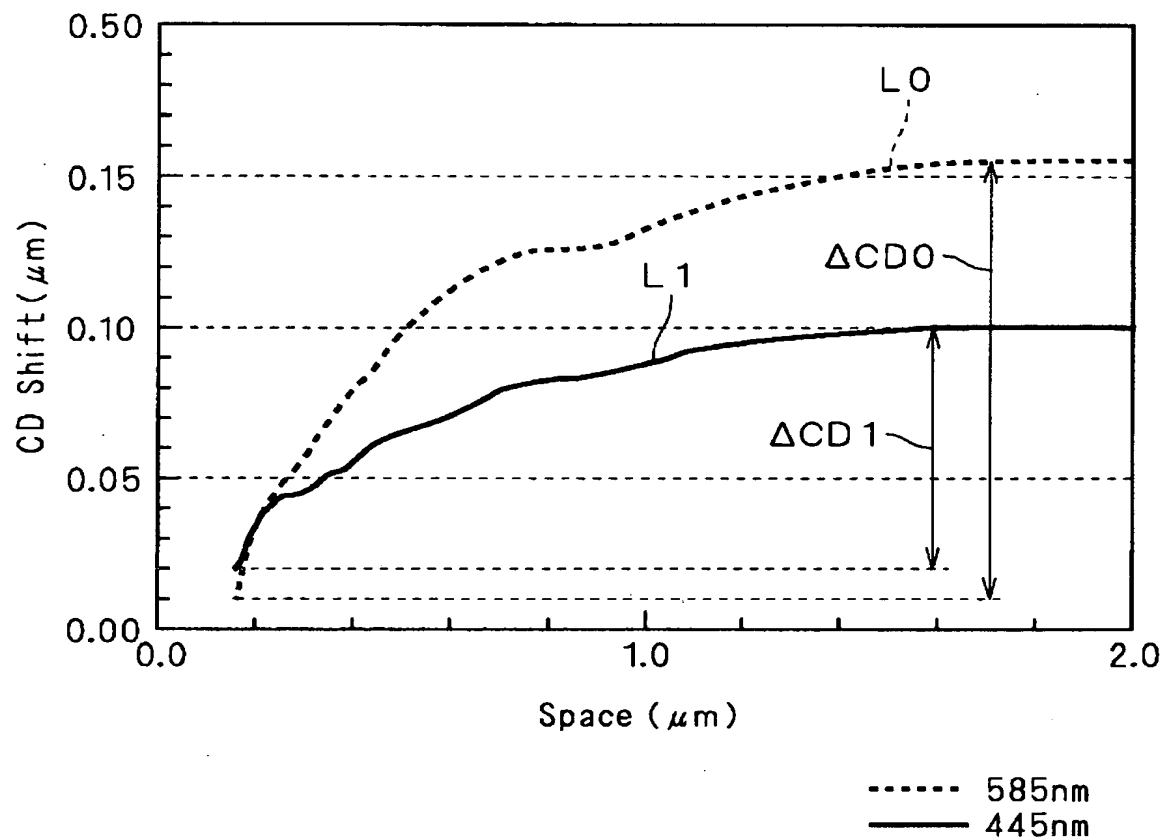


2a : ポリシリコンパターン
3a : シリコン窒化パターン

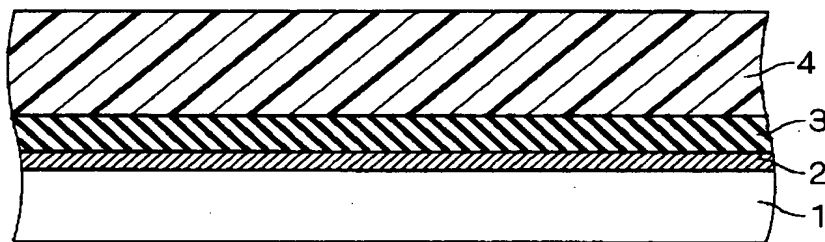
【図 5】



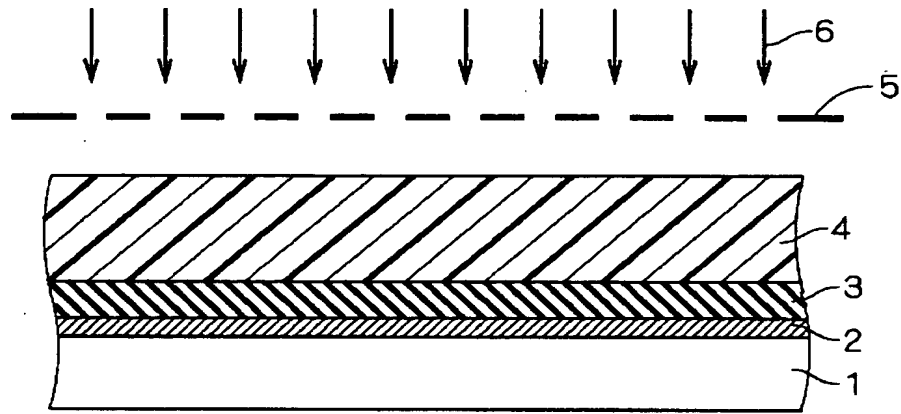
【図 6】



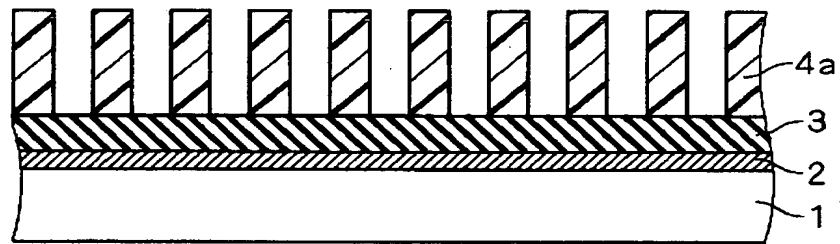
【図 7】



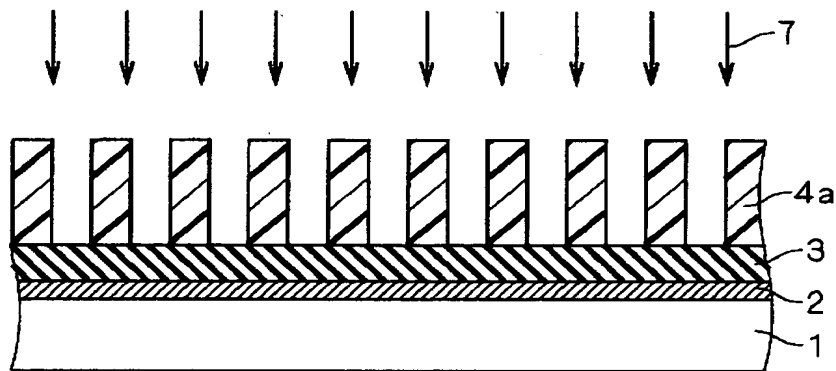
【図 8】



【図 9】

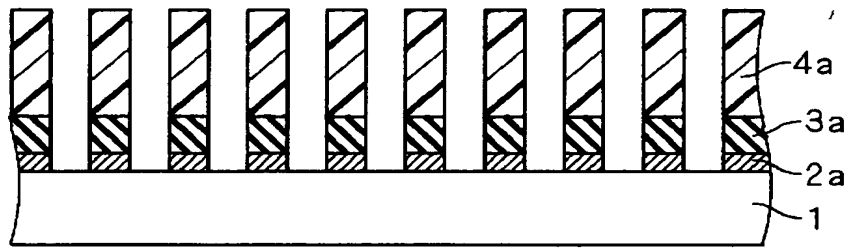


【図 1 0】

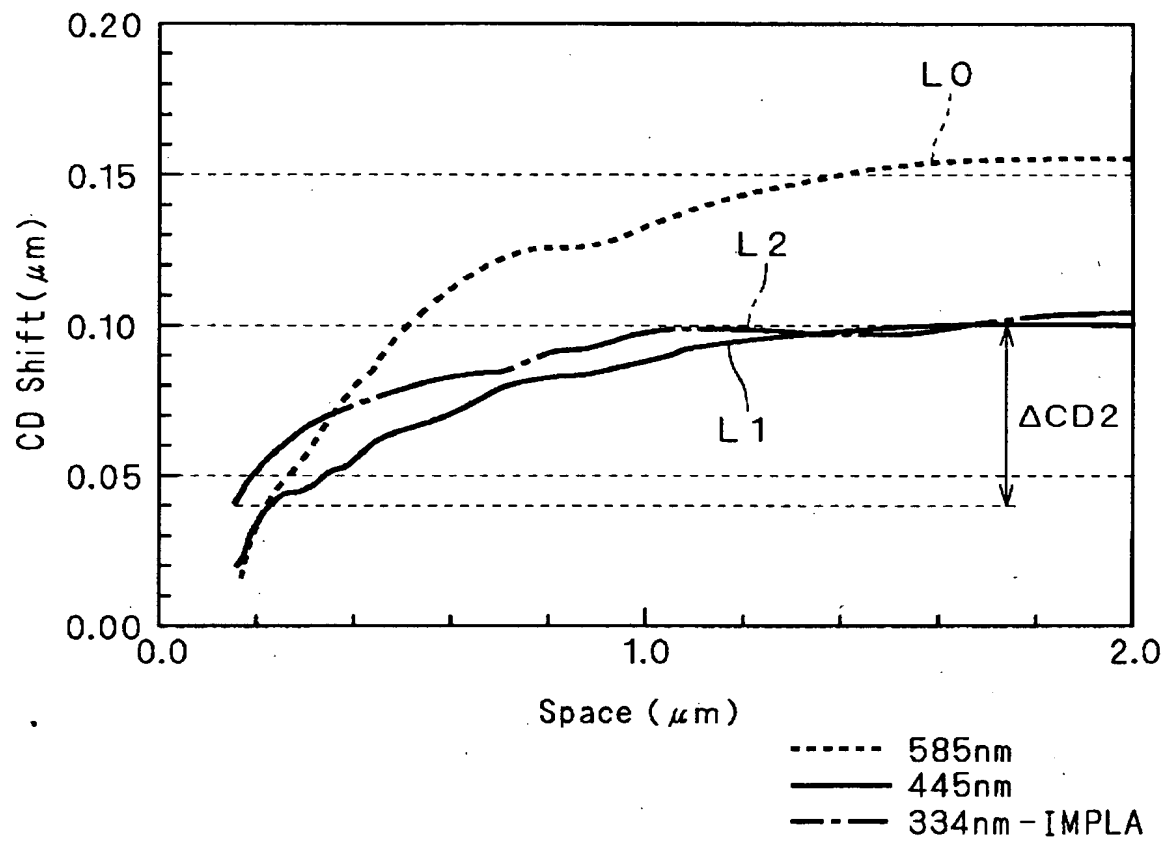


7 : イオン

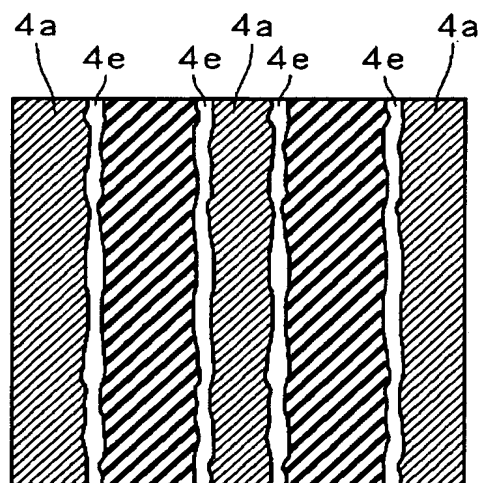
【図 1 1】



【図 1 2】

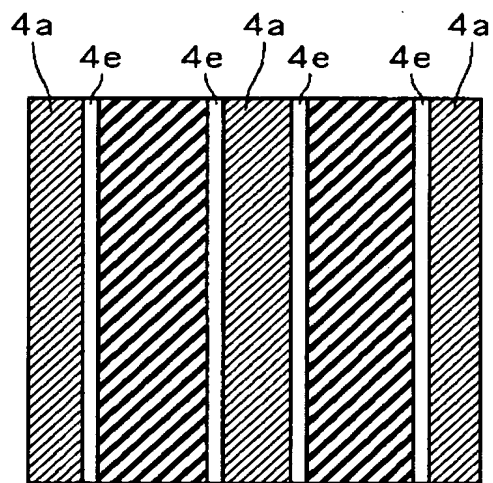


【図 1 3】



現像後レジストパターン

【図 1 4】



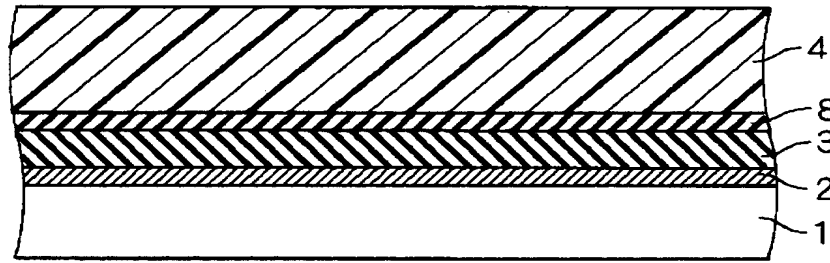
Ar イオン注入後レジストパターン

【図 1 5】

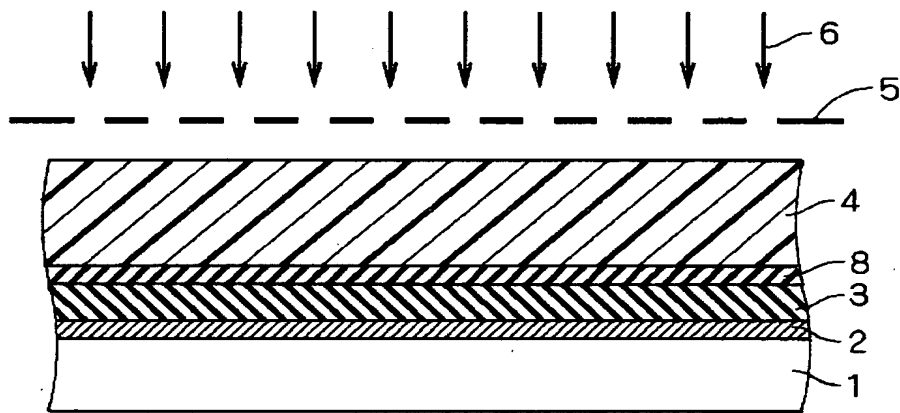


8 : シリコン窒化酸化膜

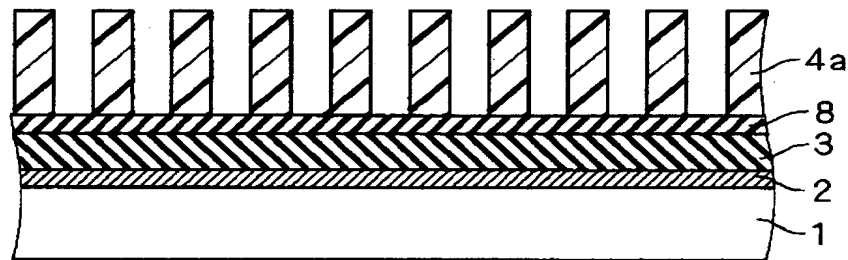
【図 16】



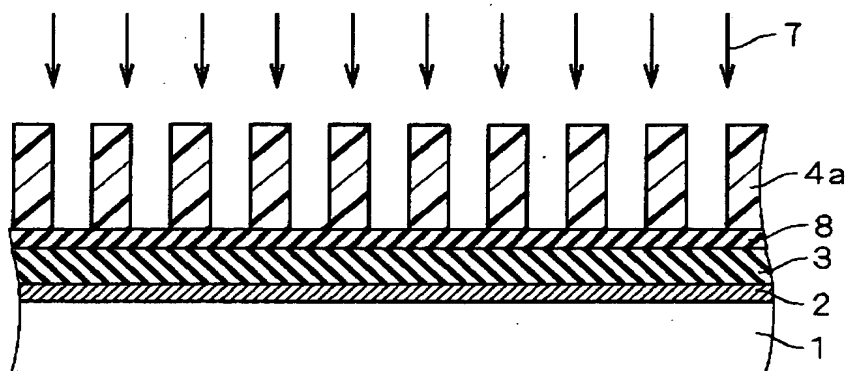
【図 17】



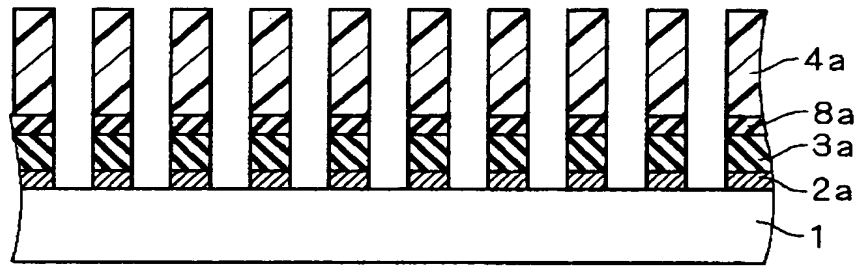
【図 18】



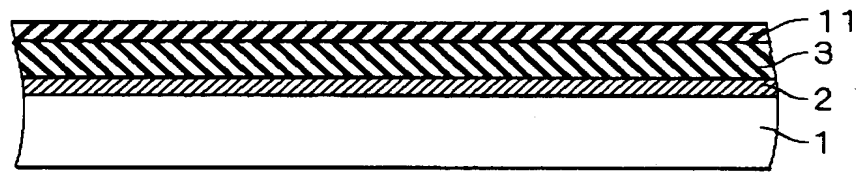
【図 19】



【図 2 0】

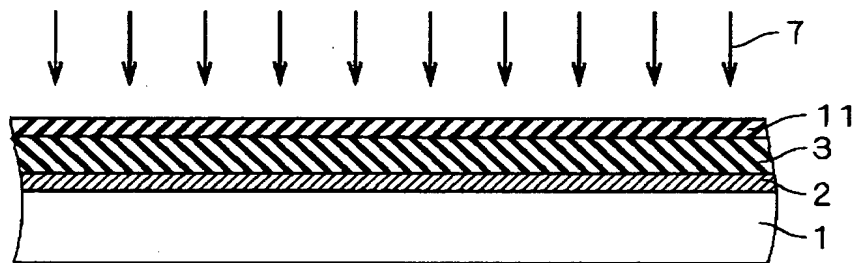


【図 2 1】

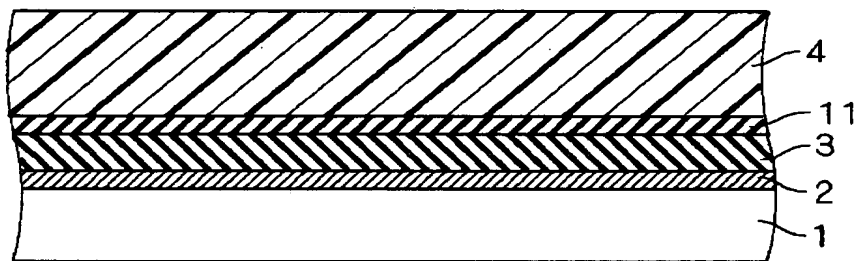


11 : 有機BARC膜

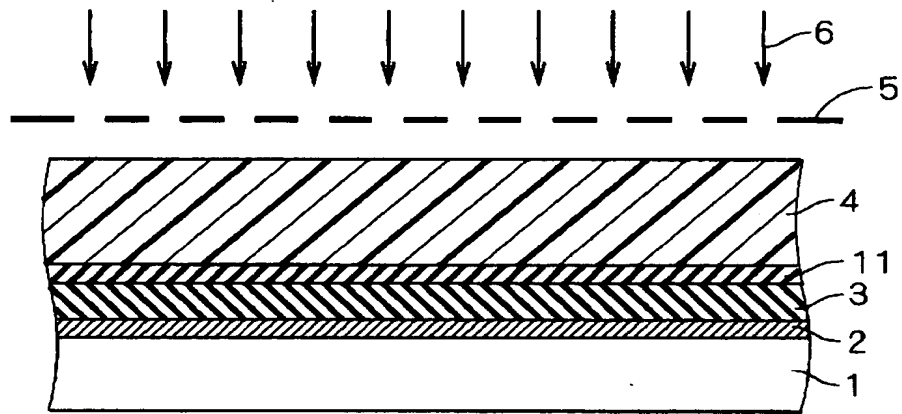
【図 2 2】



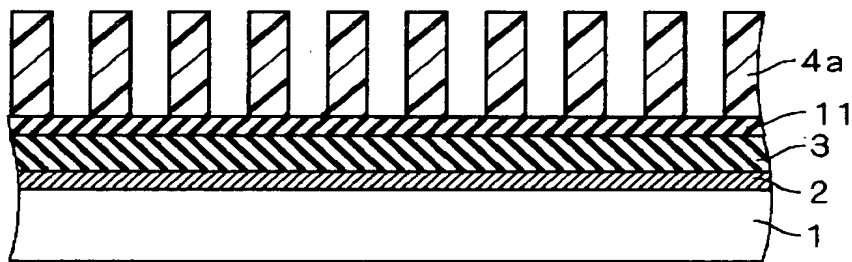
【図 2 3】



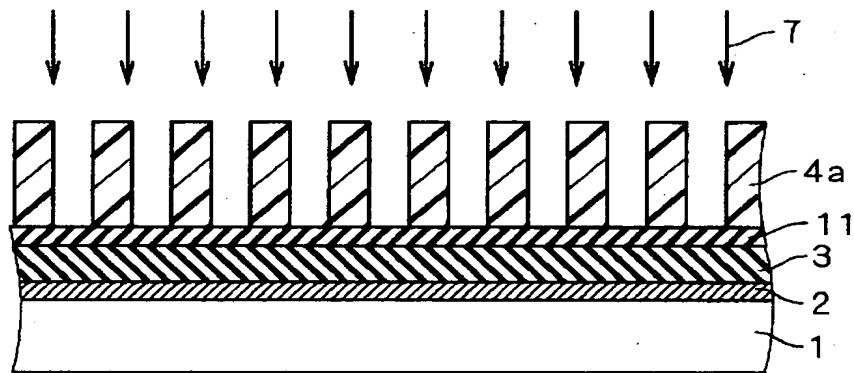
【図 2 4】



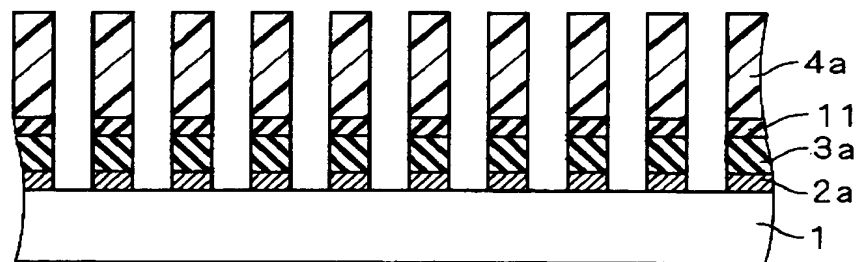
【図 2 5】



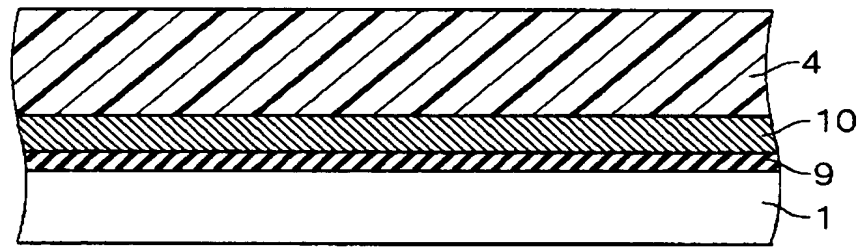
【図 2 6】



【図 2 7】

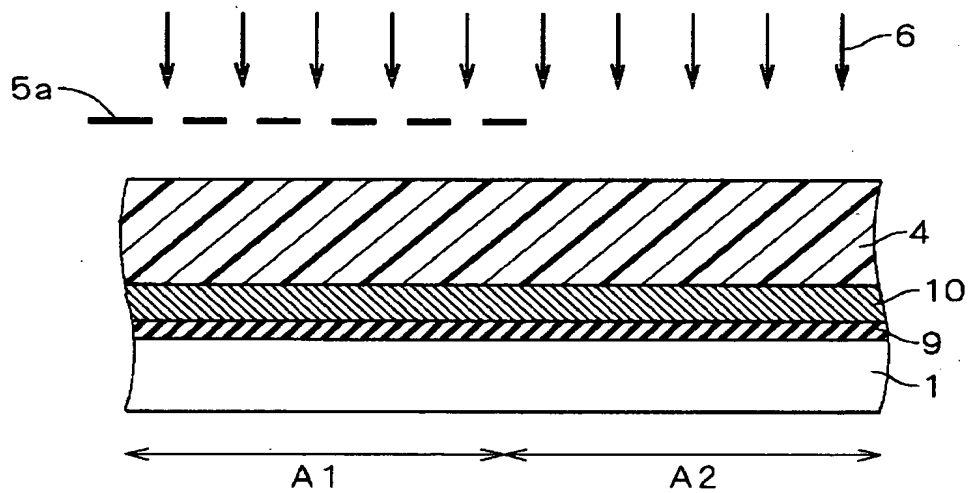


【図 2 8】



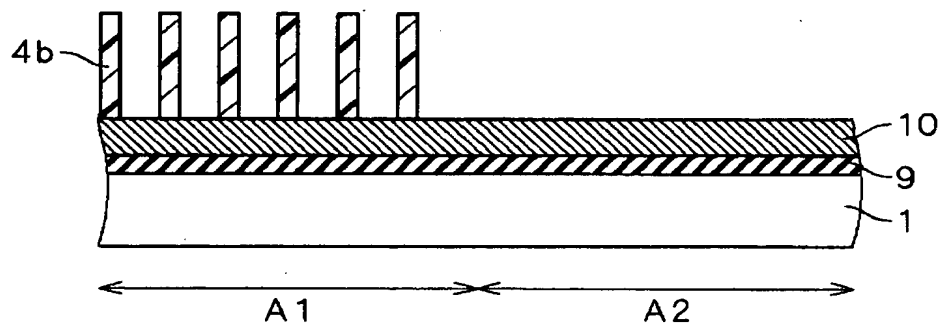
9 : シリコン酸化膜 10 : 金属膜

【図 2 9】

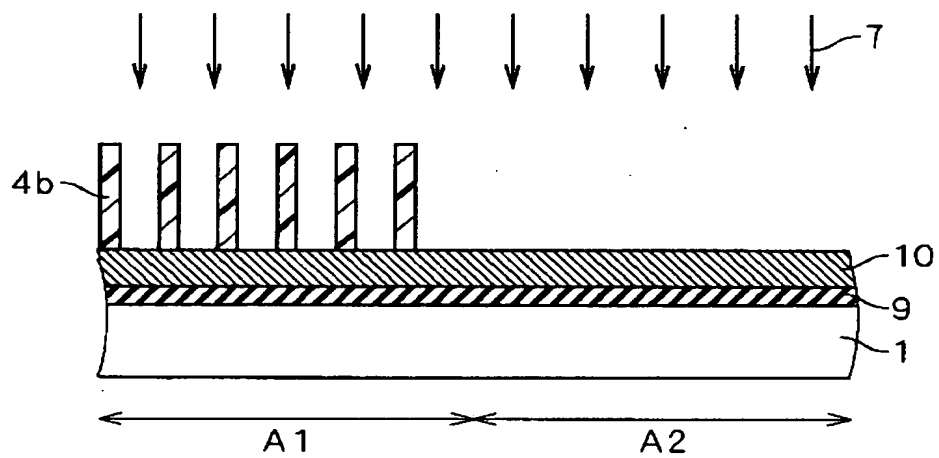


A1 : メモリセル形成領域
A2 : 周辺回路形成領域

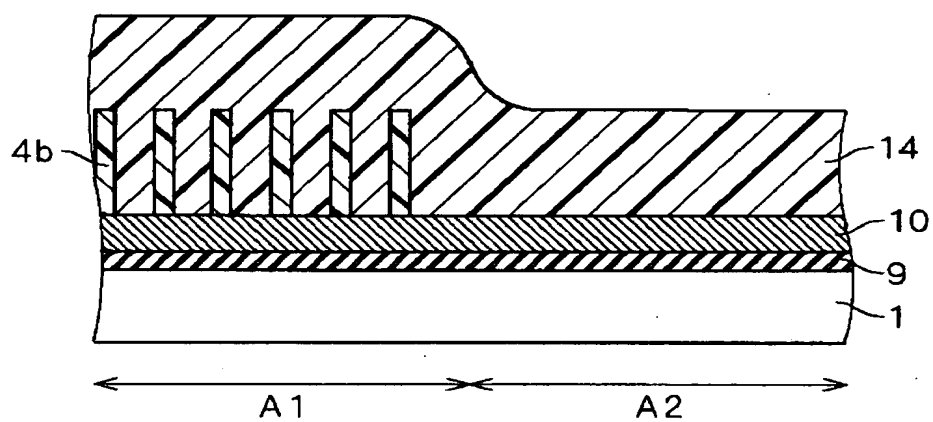
【図 3 0】



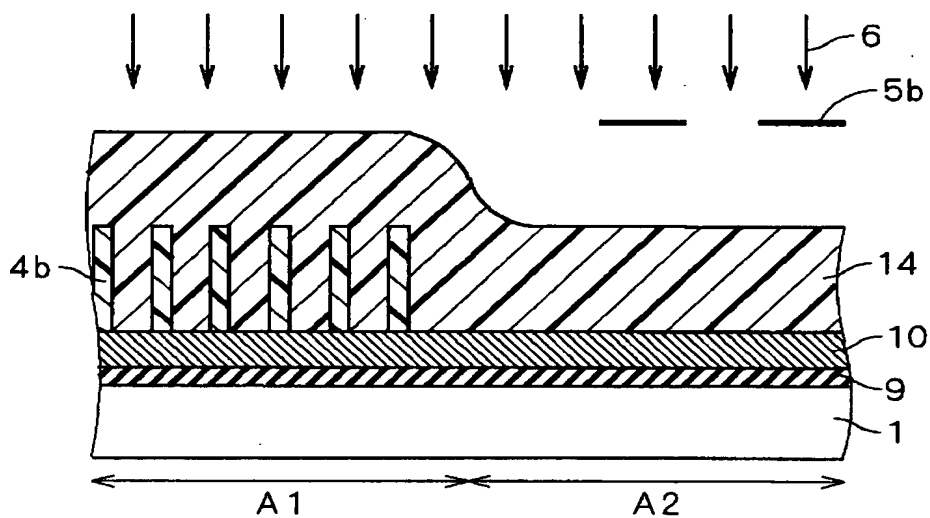
【図 3 1】



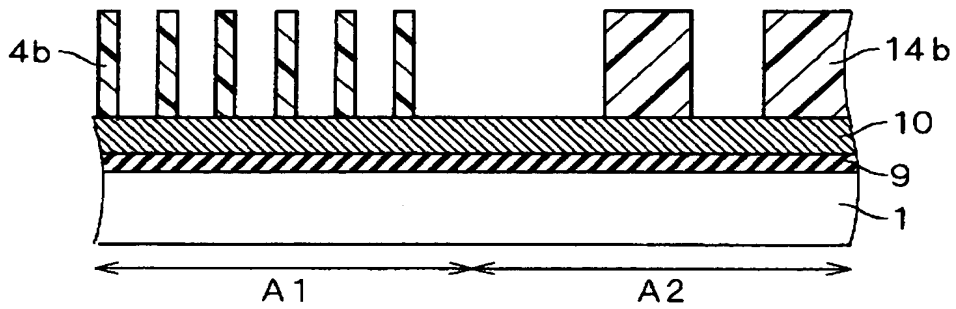
【図 3 2】



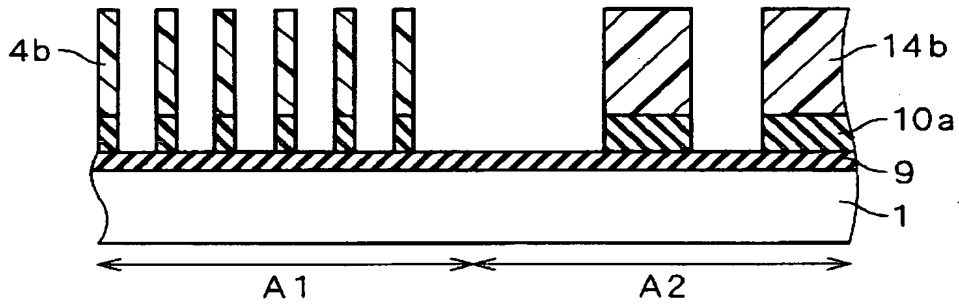
【図 3 3】



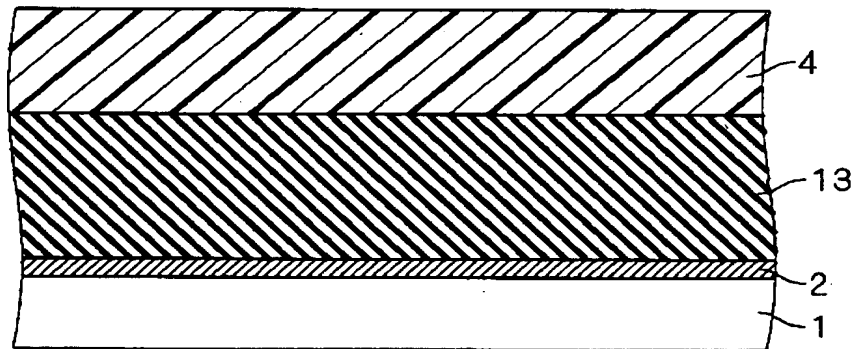
【図 3 4】



【図 3 5】

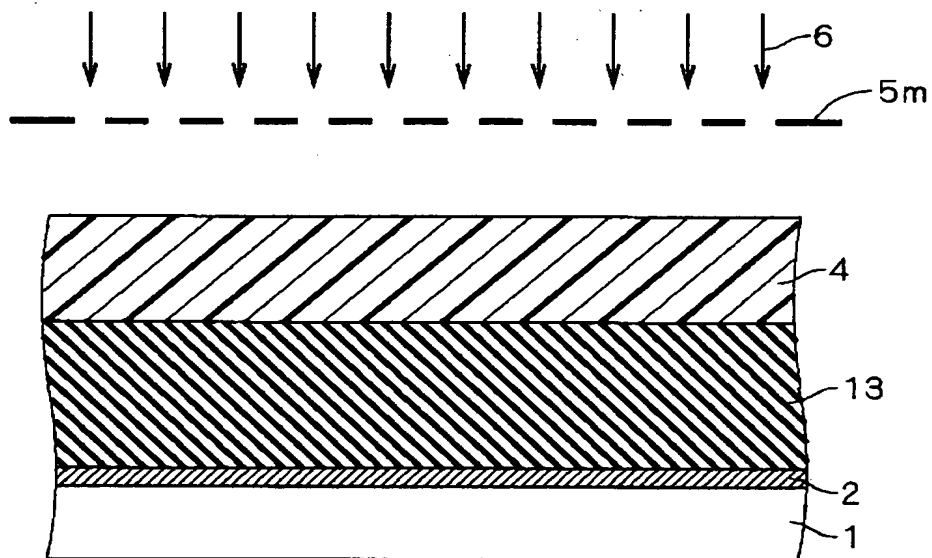


【図 3 6】

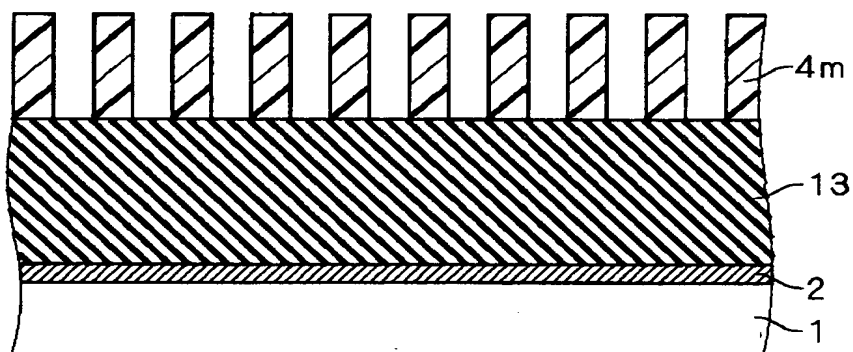


13 : シリコン酸化膜

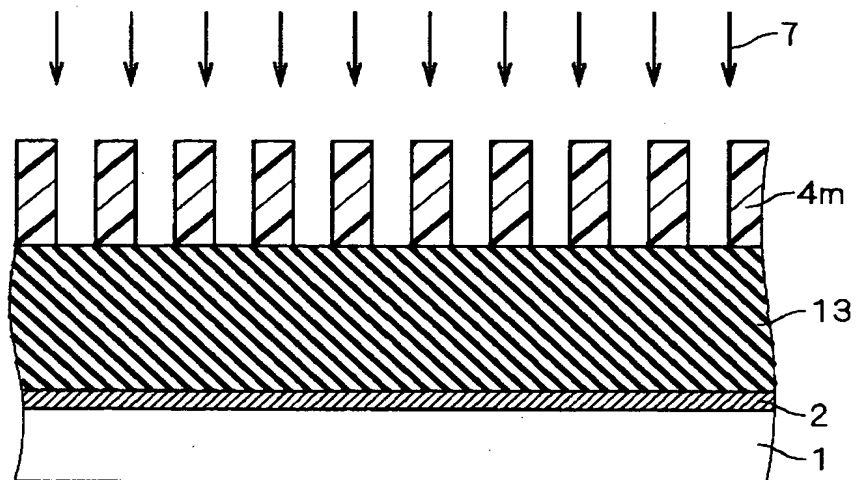
【図 3 7】



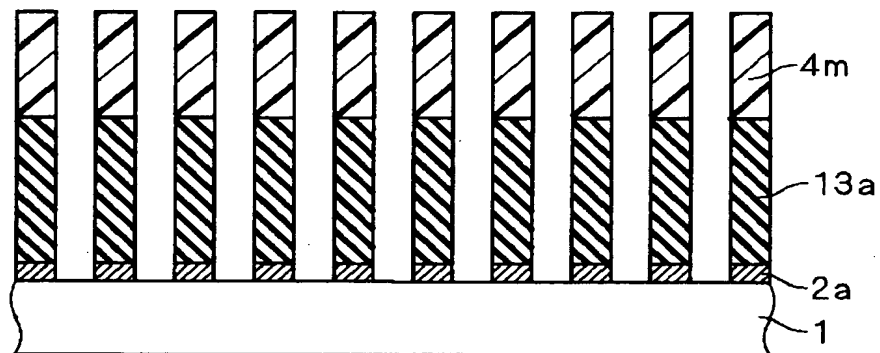
【図 3 8】



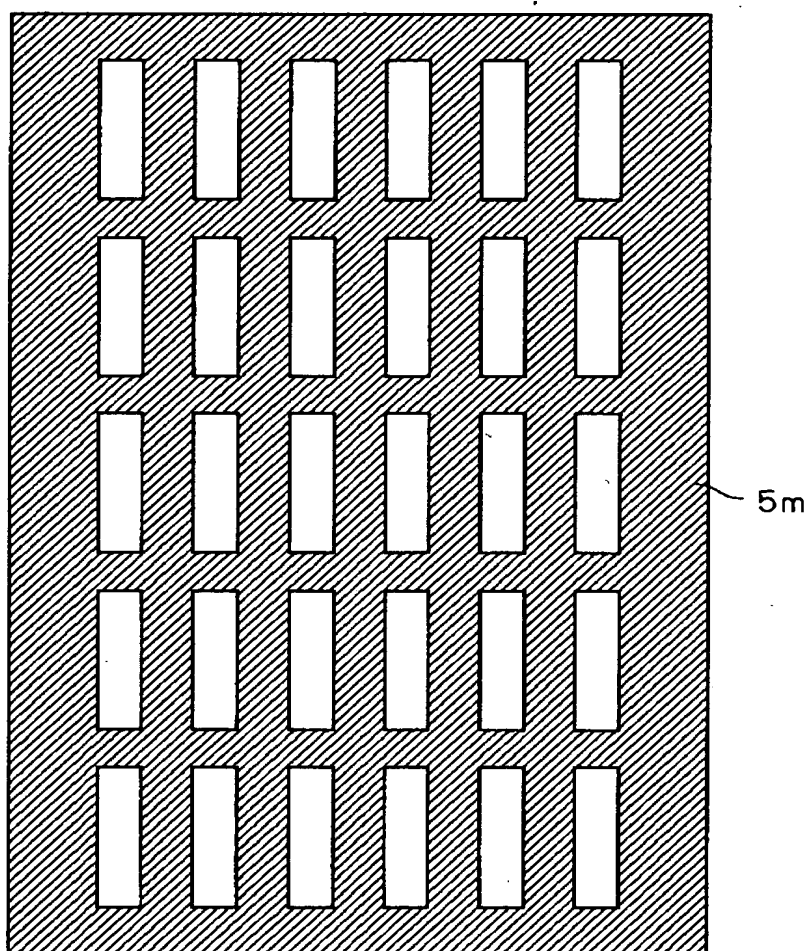
【図 3 9】



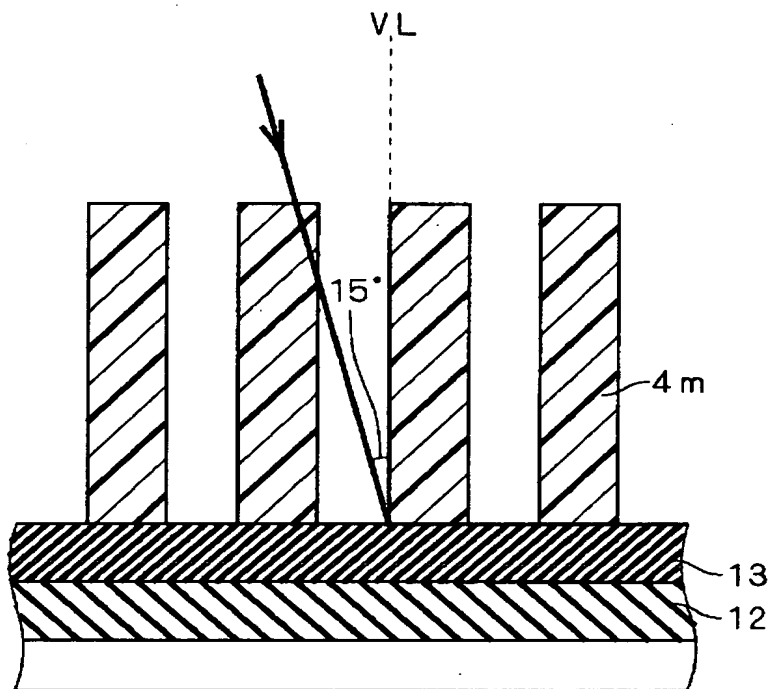
【図 4 0】



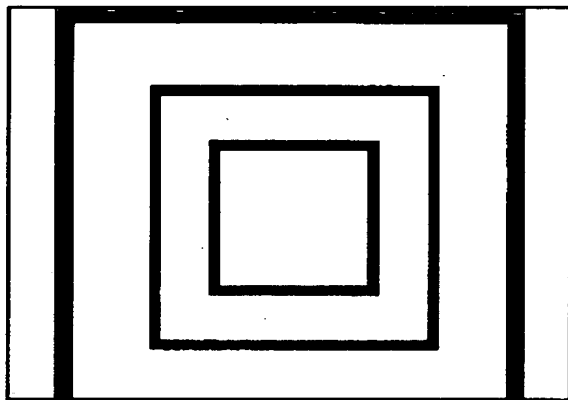
【図 4 1】



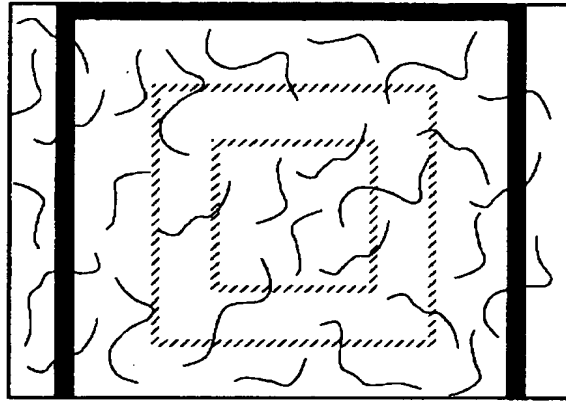
【図 4 2】



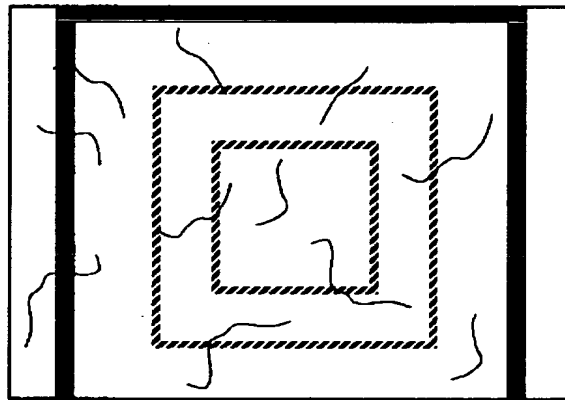
【図 4 3】



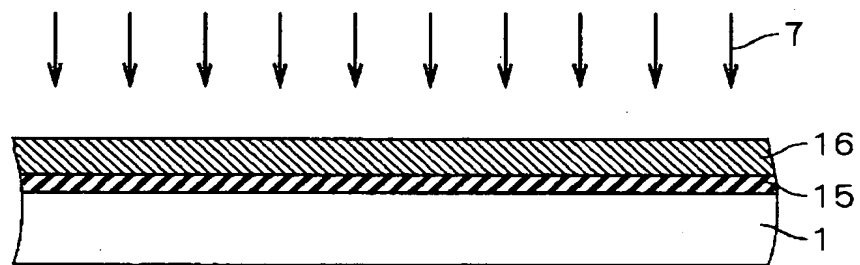
【図 4 4】



【図 4 5】

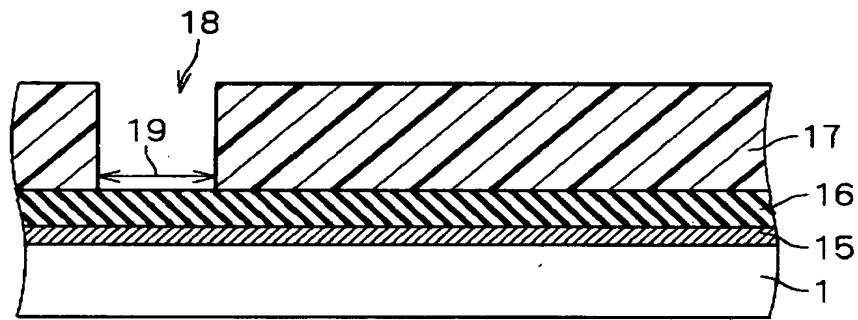


【図 4 6】



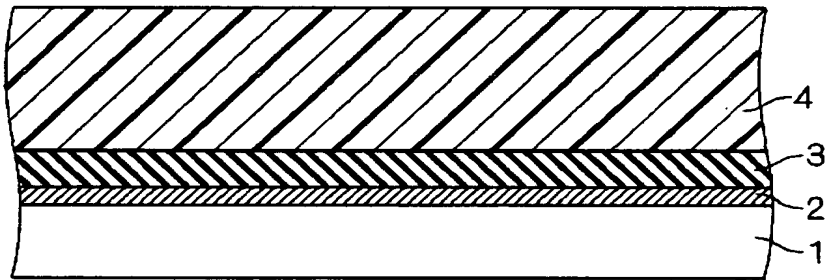
15 : シリコン酸化膜 16 : アルミ層

【図 4 7】

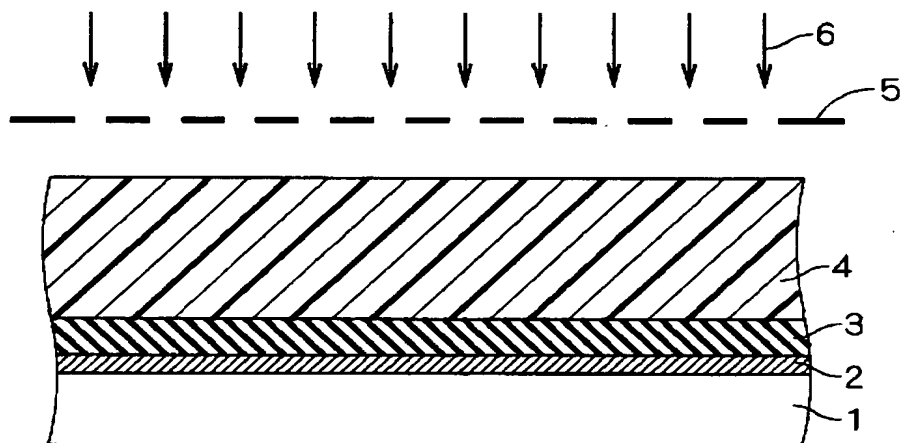


17 : レジストパターン 19 : マーク形成領域

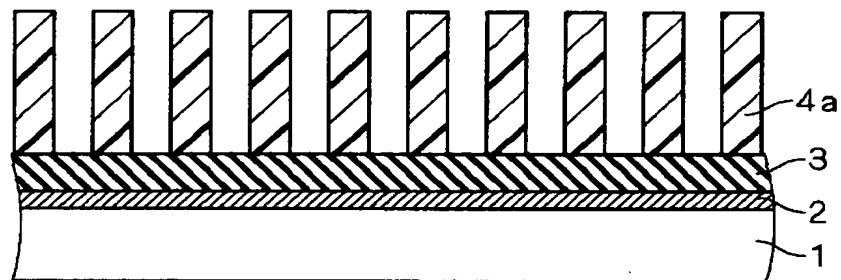
【図 4 8】



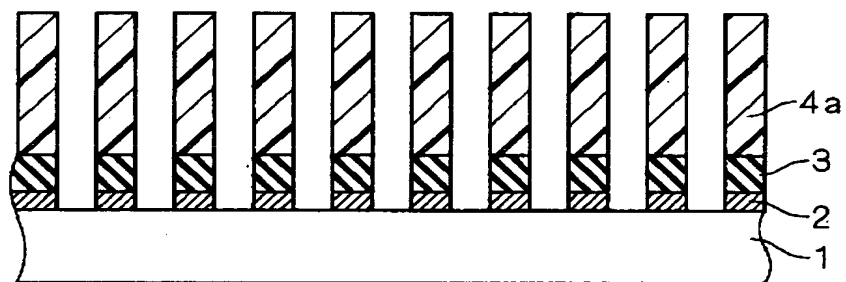
【図 4 9】



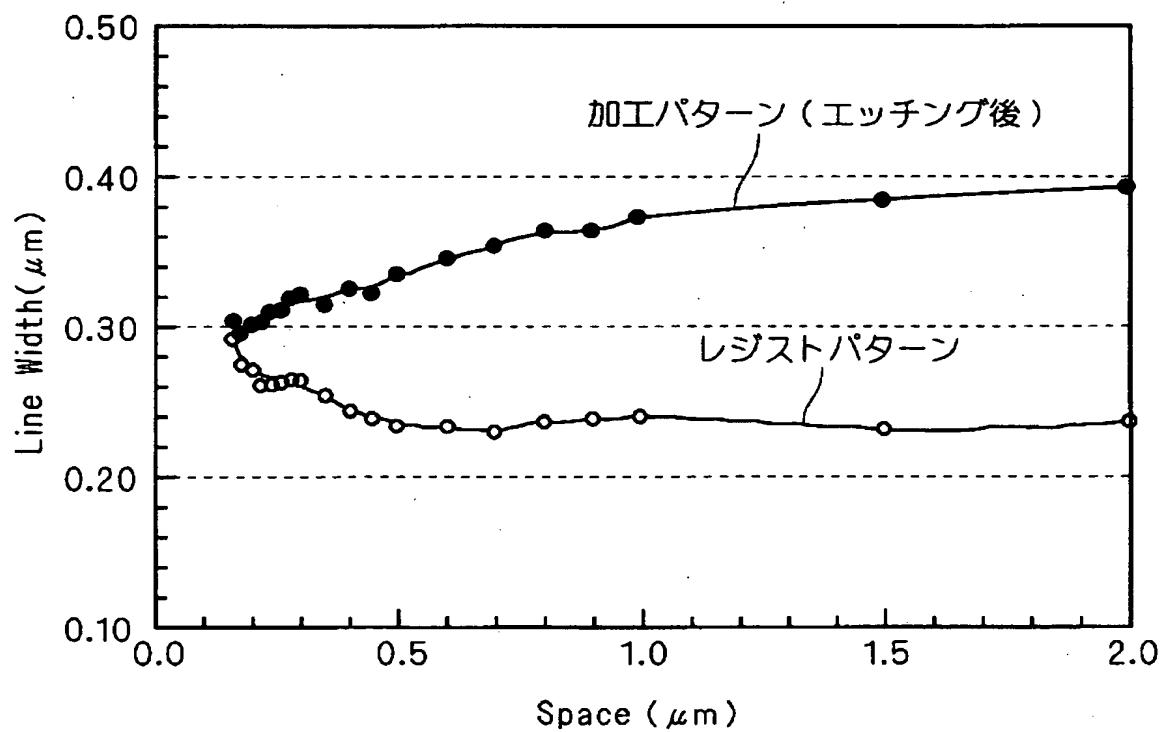
【図 5 0】



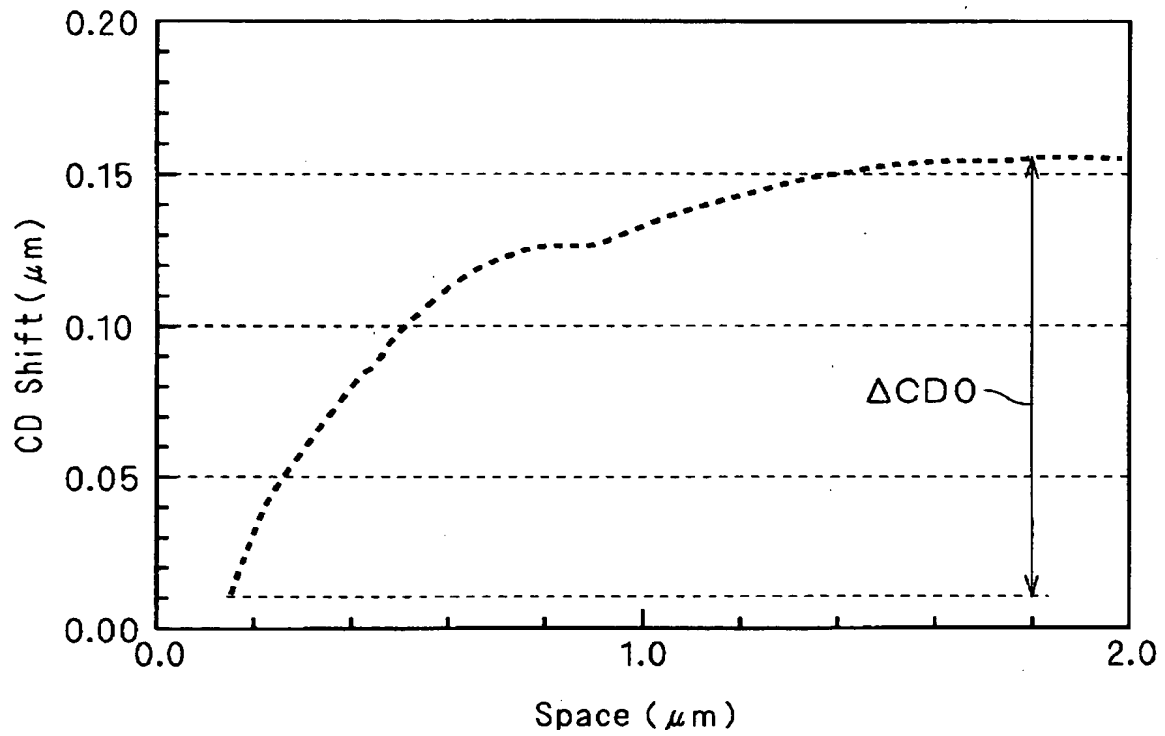
【図 5 1】



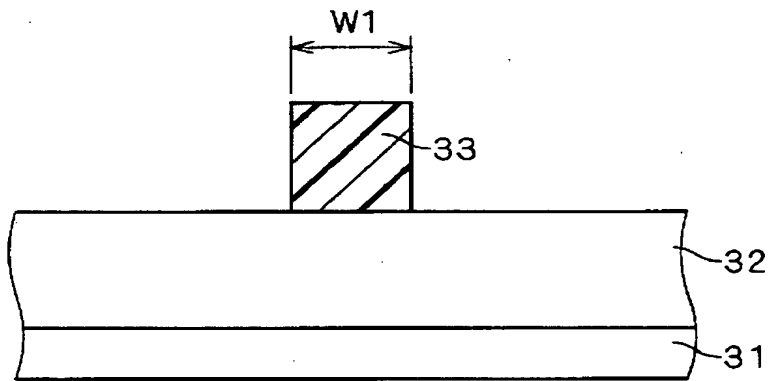
【図 5 2】



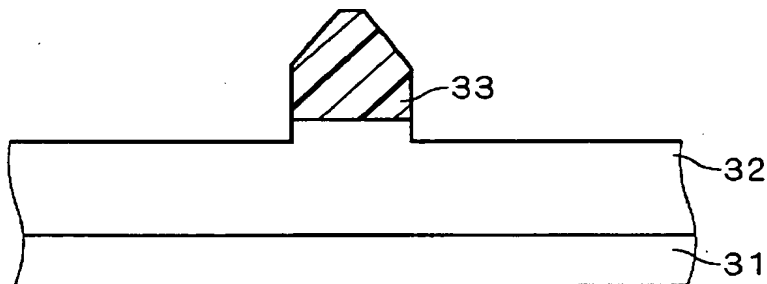
【図 5 3】



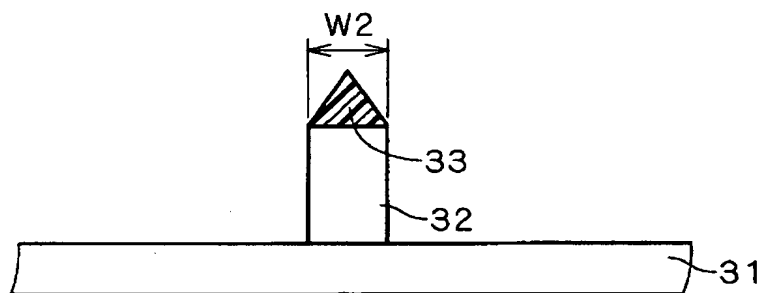
【図 5 4】



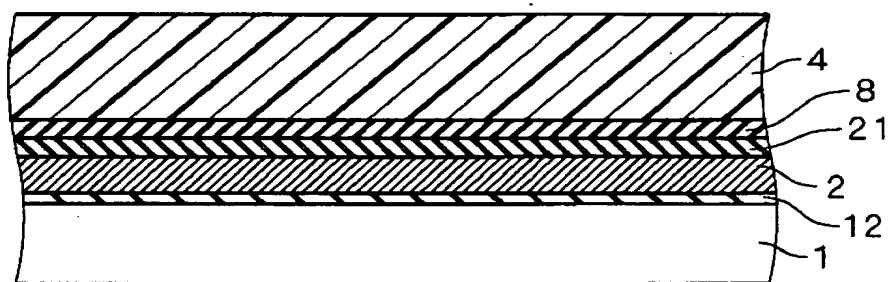
【図 5 5】



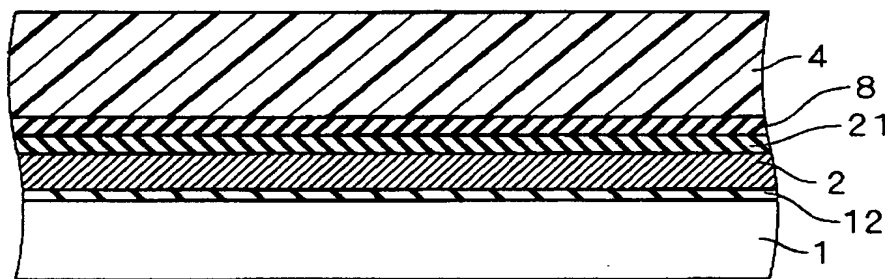
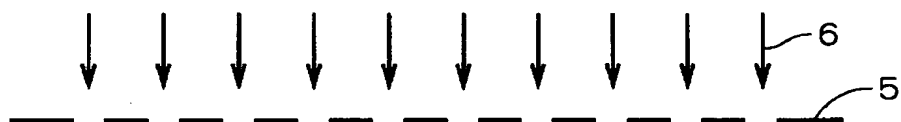
【図 5 6】



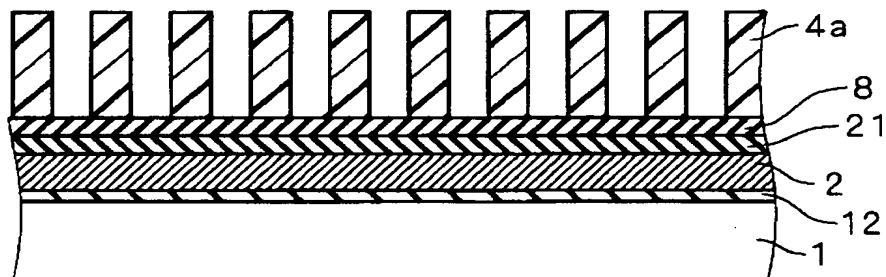
【図 5 7】



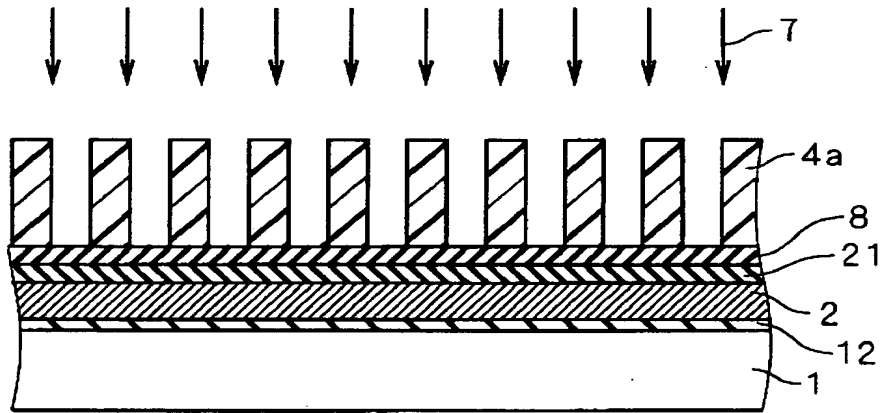
【図 5 8】



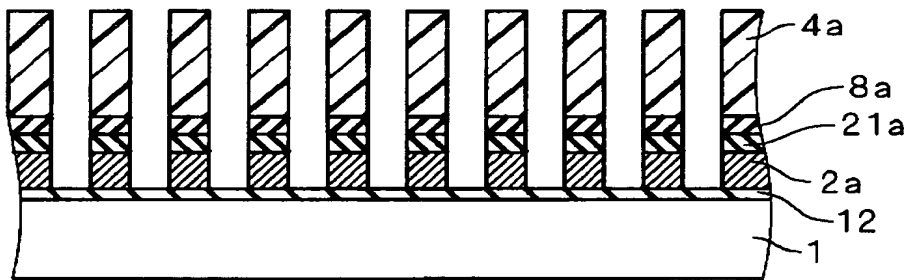
【図 5 9】



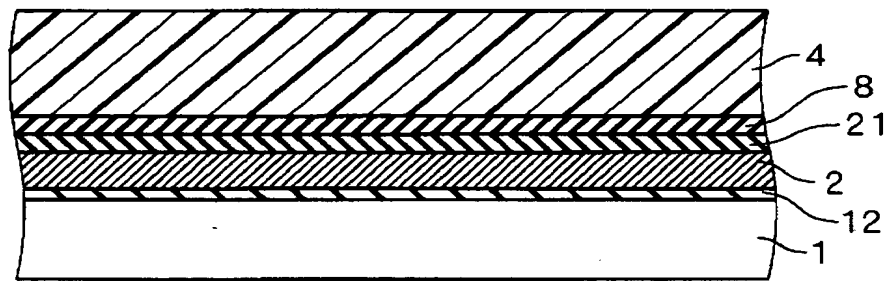
【図 6 0】



【図 6 1】

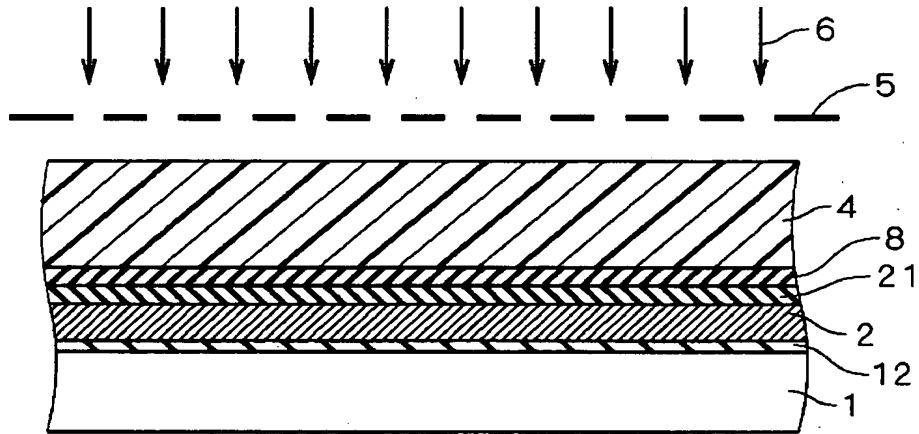


【図 6 2】

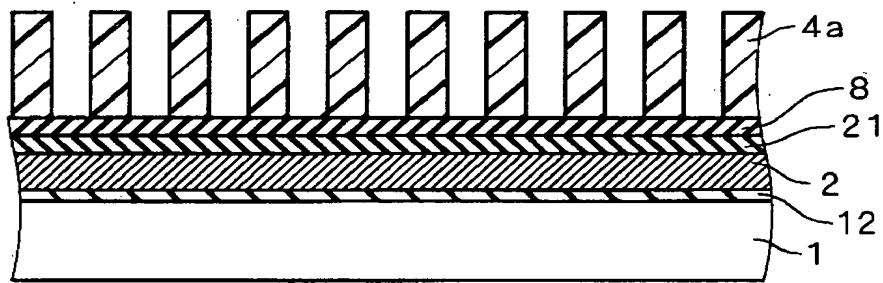


12, 21 : シリコン酸化膜

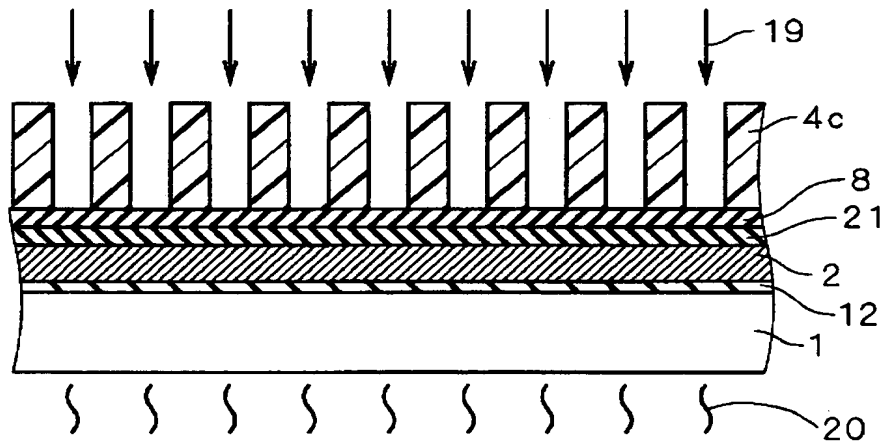
【図 6 3】



【図 6 4】



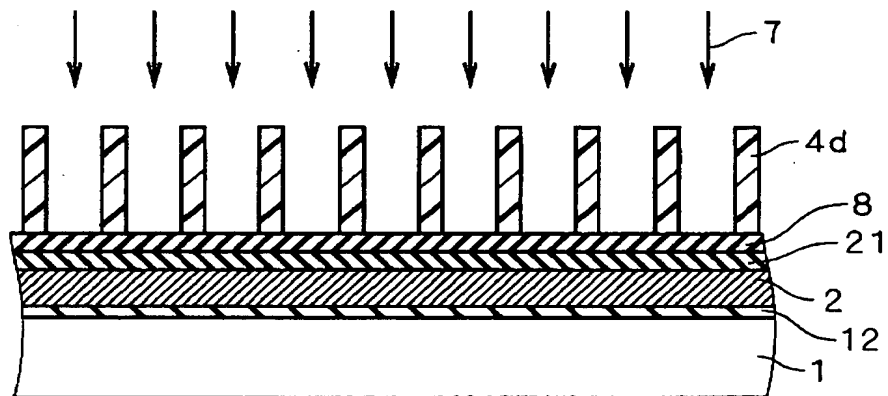
【図 6 5】



4c : レジストパターン

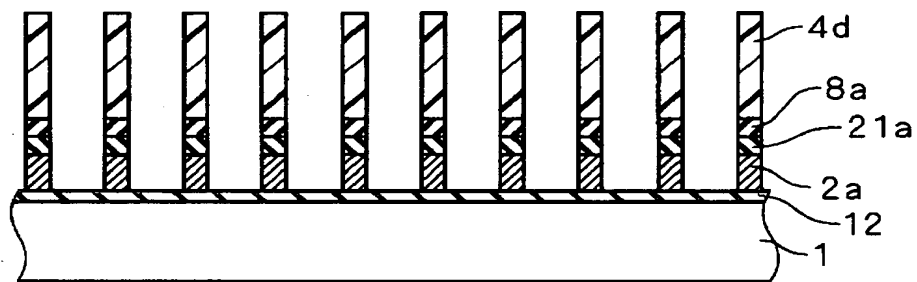
19 : KrFエキシマレーザ

【図 6 6】

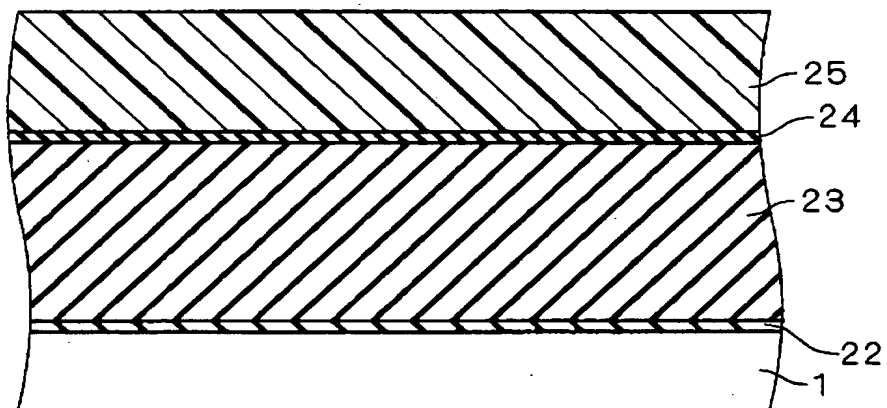


4d : レジストパターン

【図 6 7】

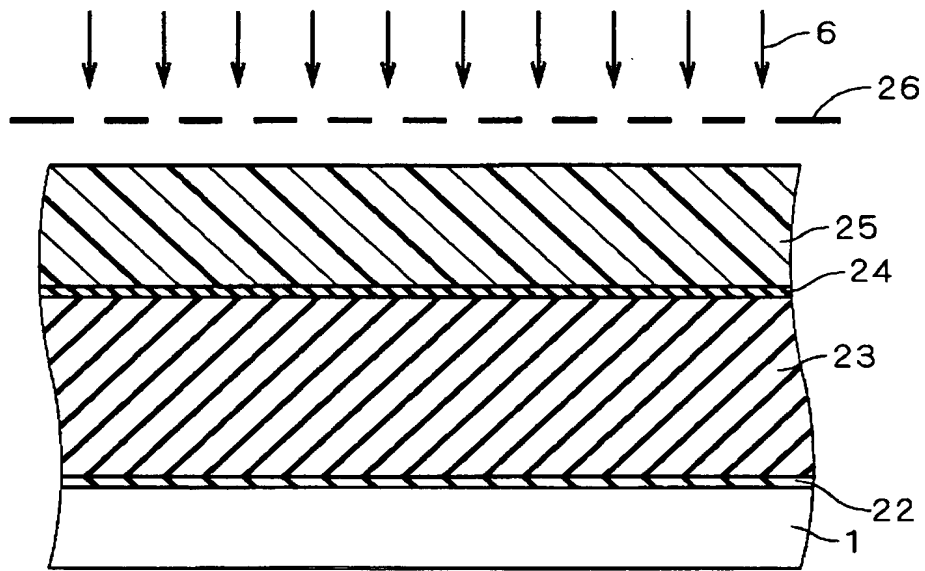


【図 6 8】



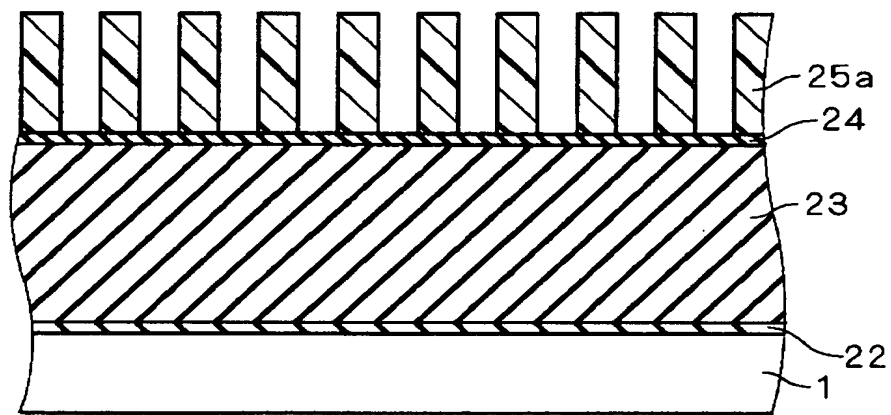
22 : シリコン窒化膜
23 : シリコン酸化膜
24 : シリコン窒化酸化膜
25 : フォトリソグ膜

【図 6 9】



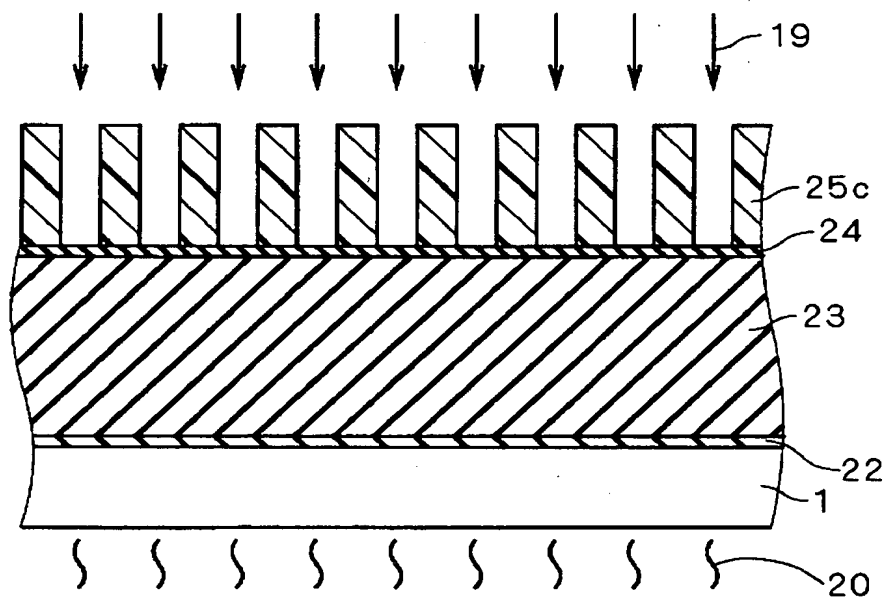
26 : レティクル

【図 7 0】



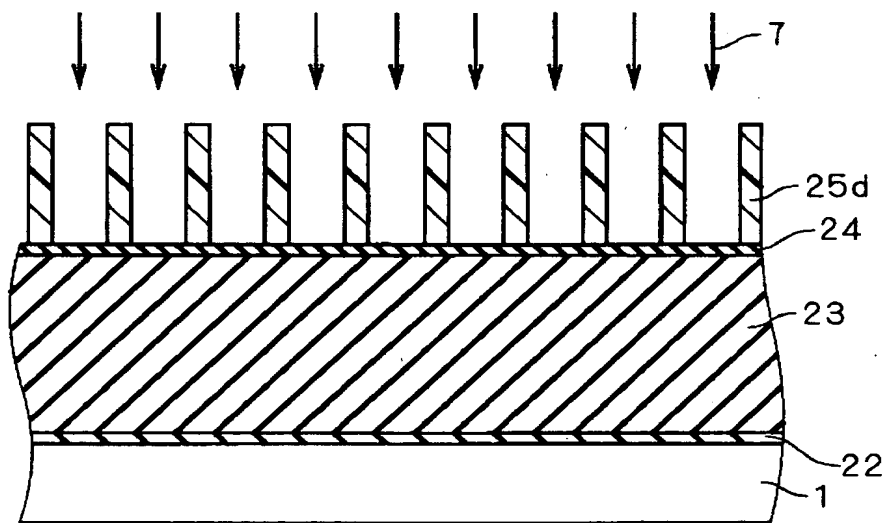
25a : レジストパターン

【図 7 1】



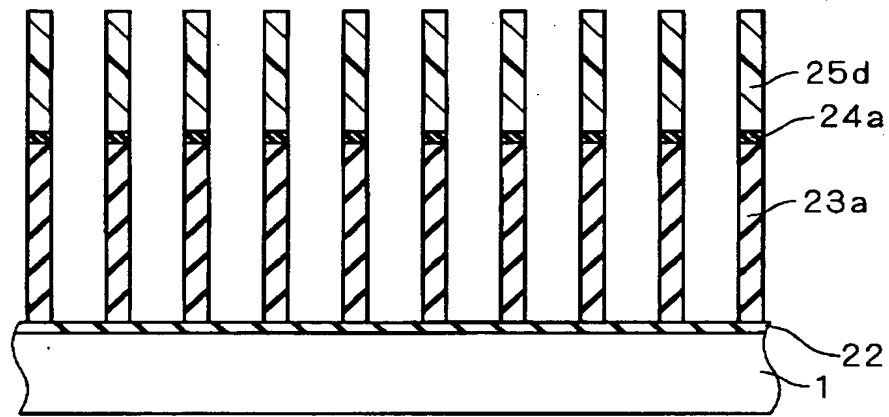
25c : レジストパターン

【図 7 2】

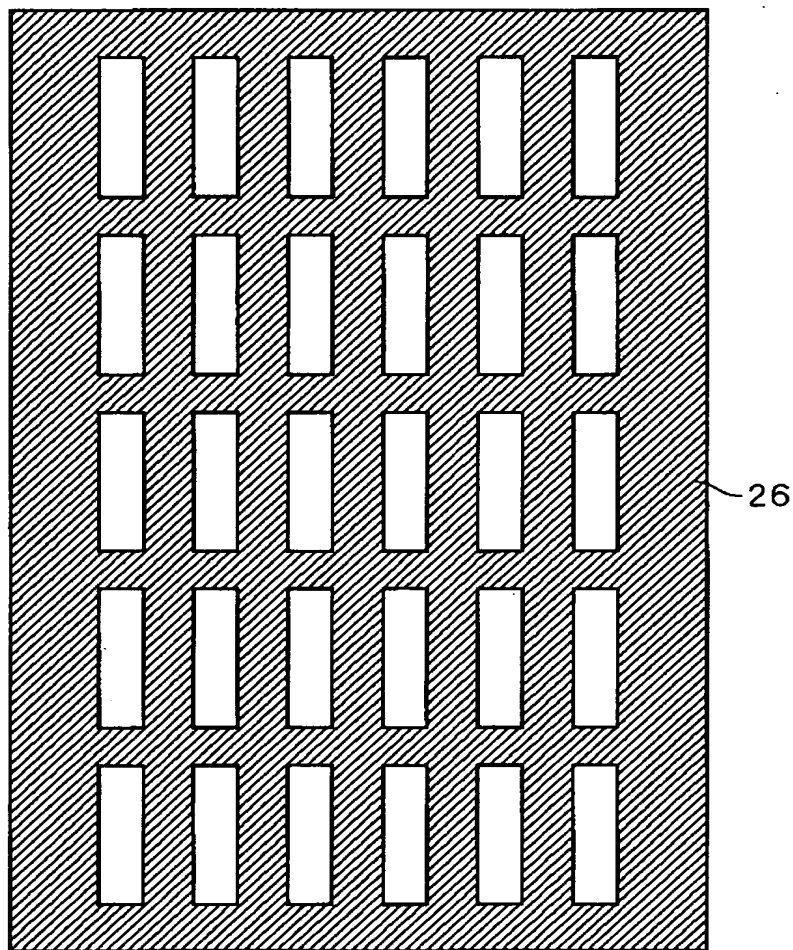


25d : レジストパターン

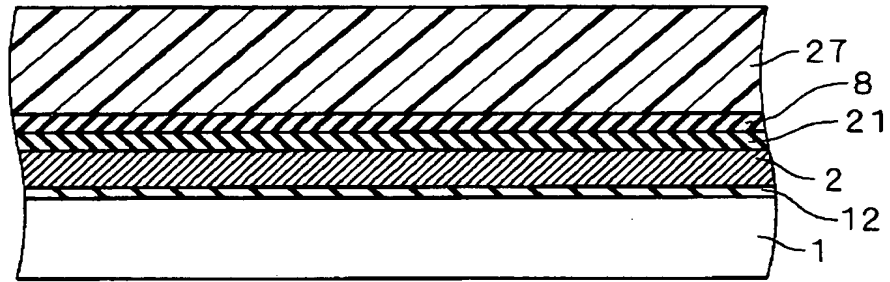
【図 7 3】



【図 7 4】

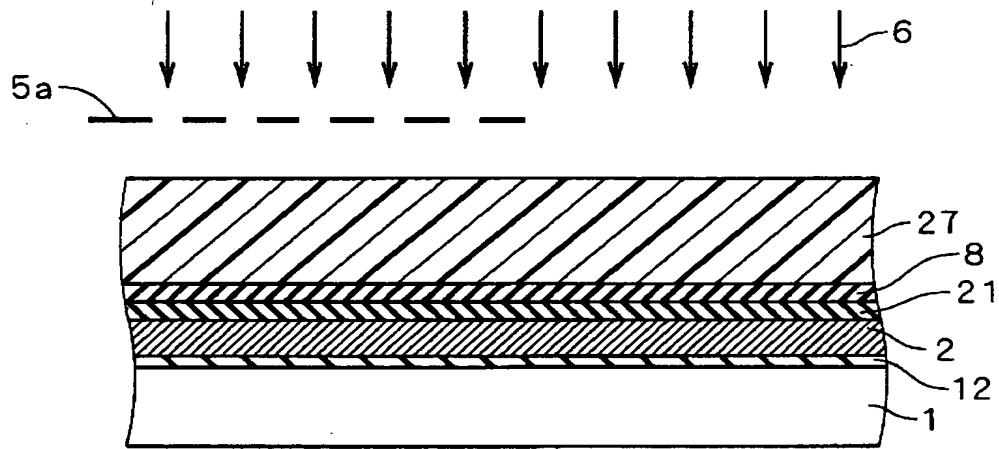


【図 7 5】

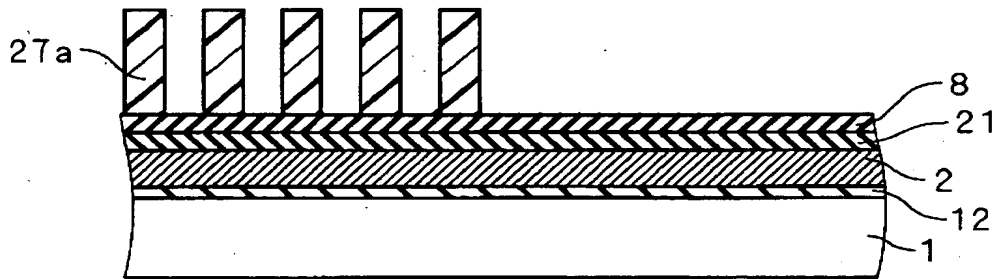


27 : フォトリソグスト膜

【図 7 6】

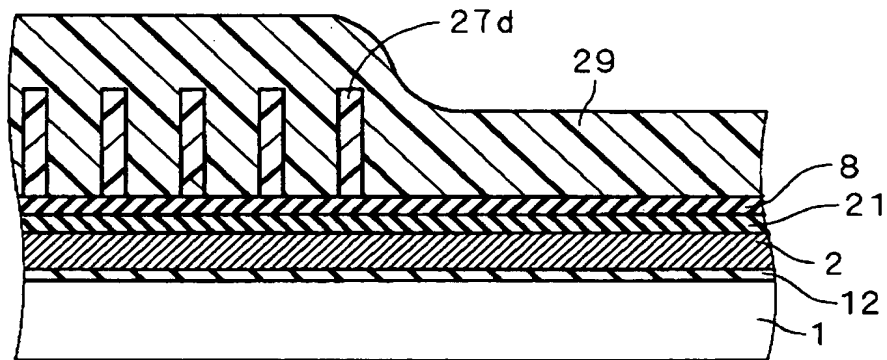


【図 7 7】



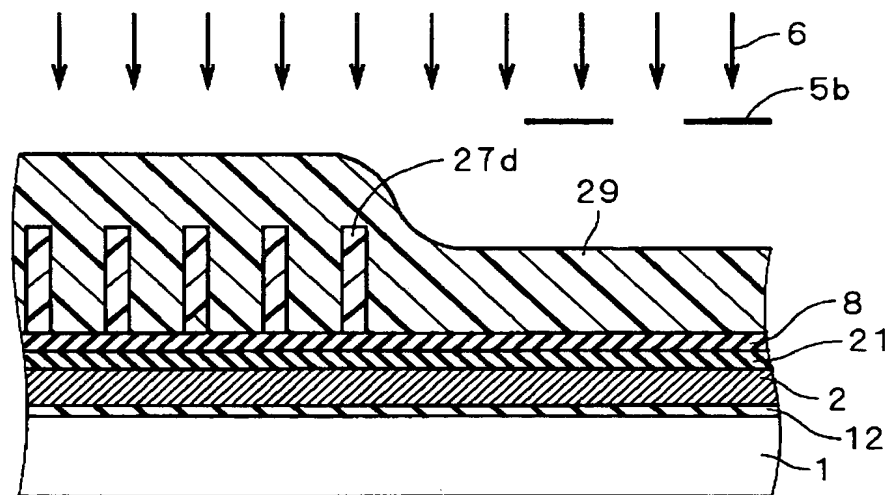
27a : レジストパターン

【図 8 0】

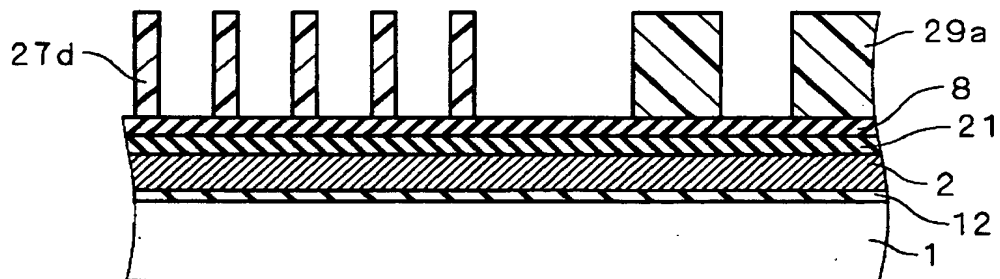


29 : フォトリソグ膜

【図 8 1】

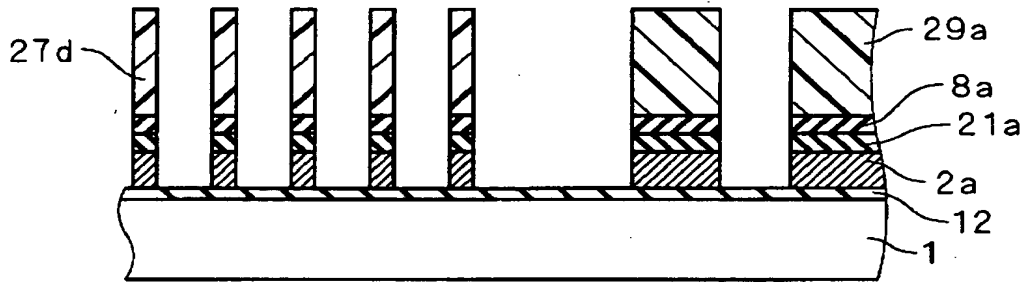


【図 8 2】

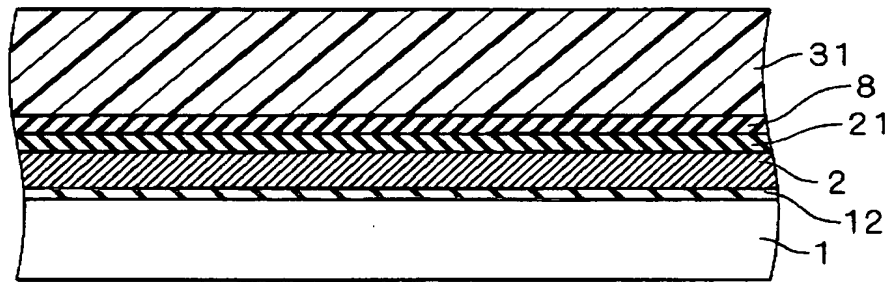


29a : レジストパターン

【図 8 3】

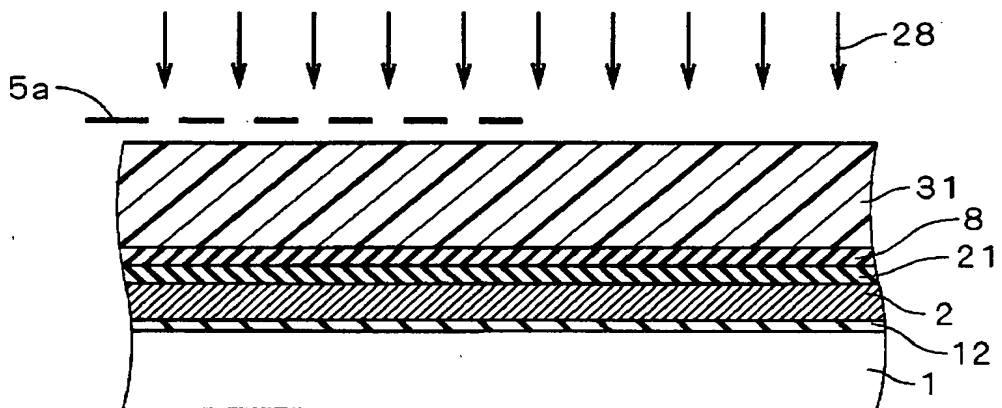


【図 8 4】

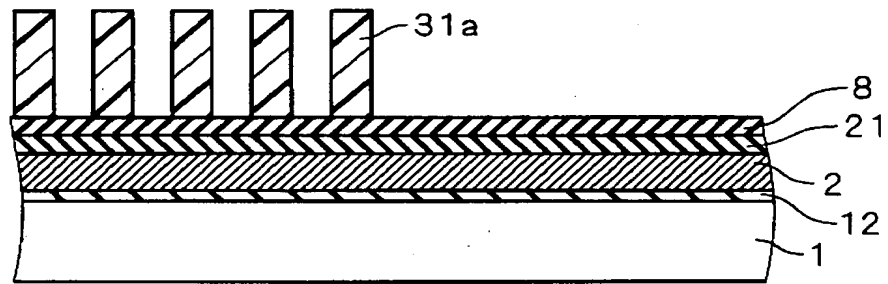


31 : フォトリソグスト膜

【図 8 5】

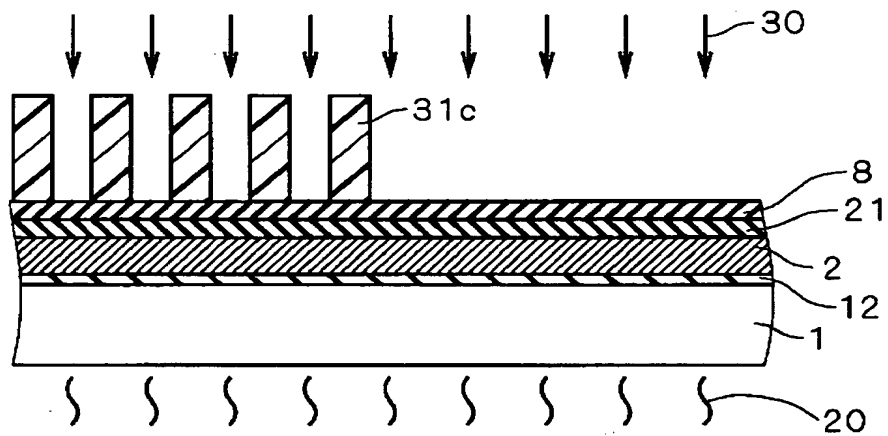


【図 8 6】



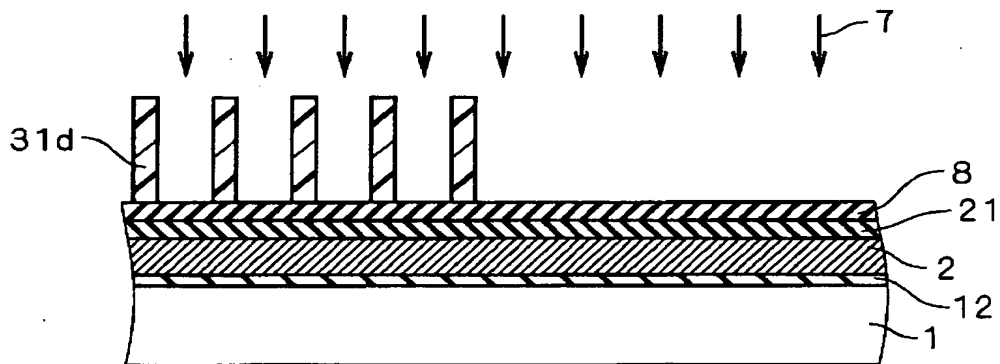
31a : レジストパターン

【図 8 7】



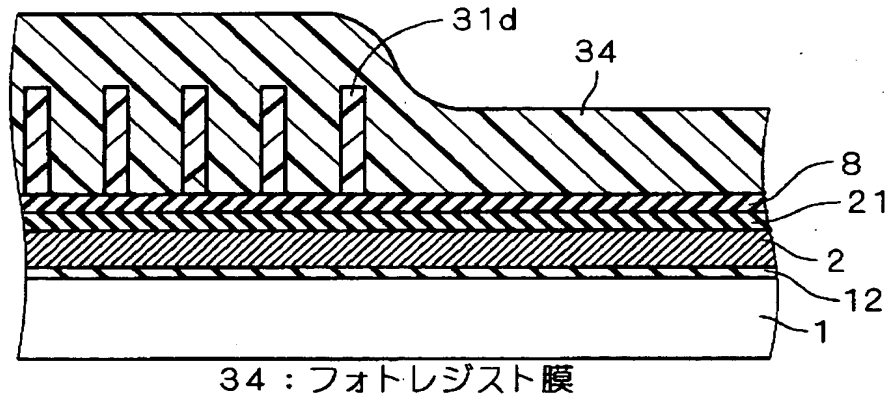
31c : レジストパターン

【図 8 8】

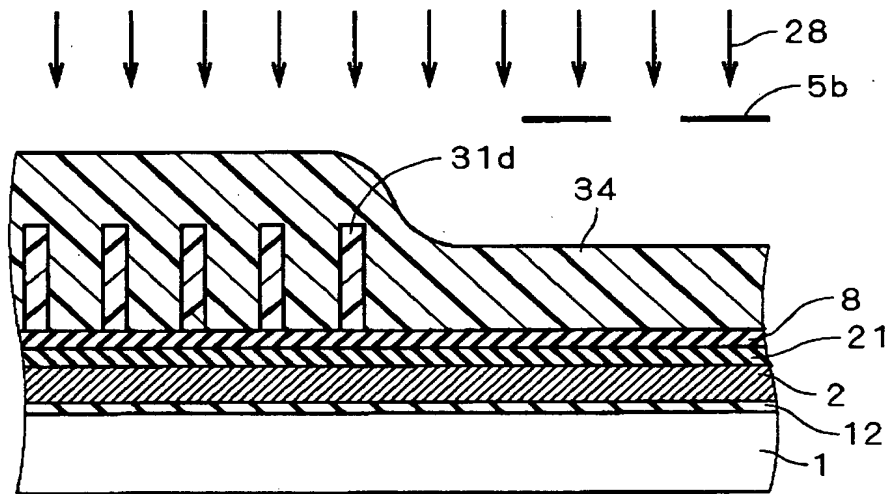


31d : レジストパターン

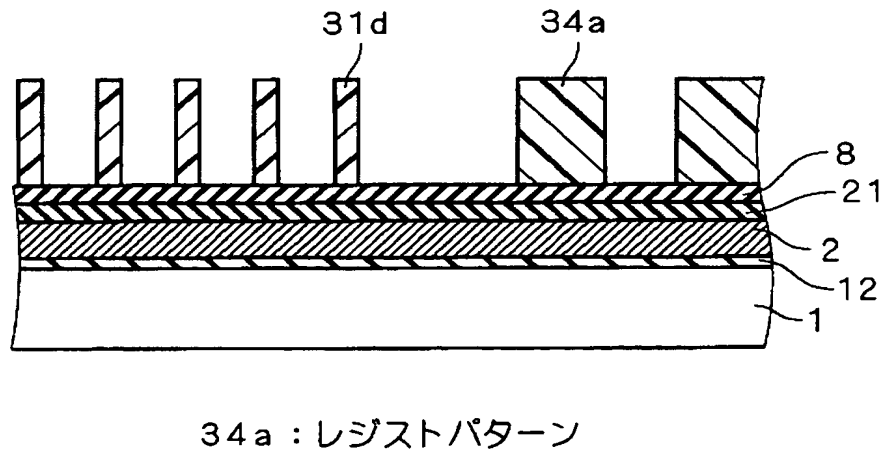
【図 8 9】



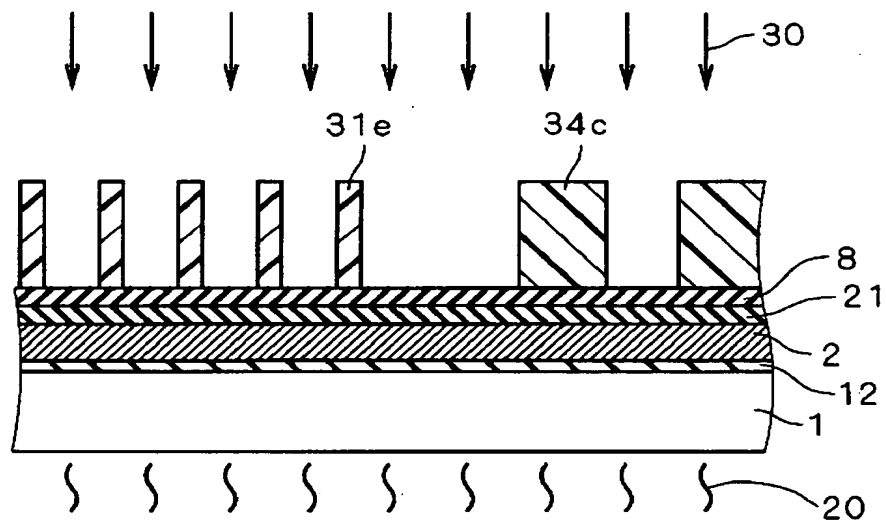
【図 9 0】



【図 9 1】

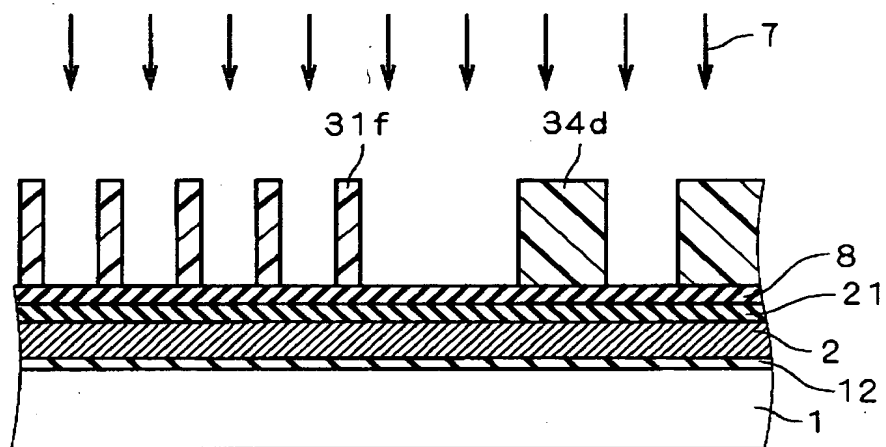


【図 9 2】



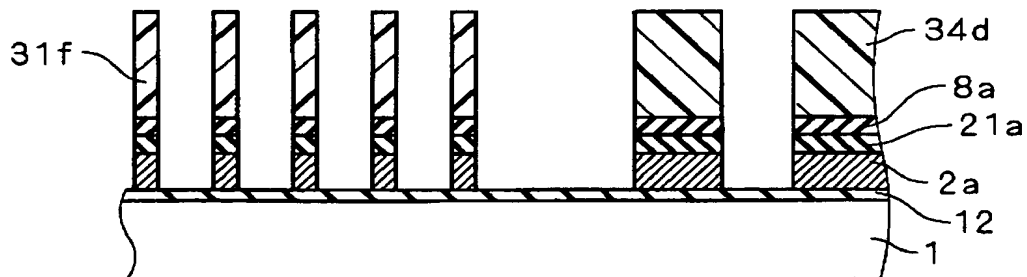
34e, 34c : レジストパターン

【図 9 3】

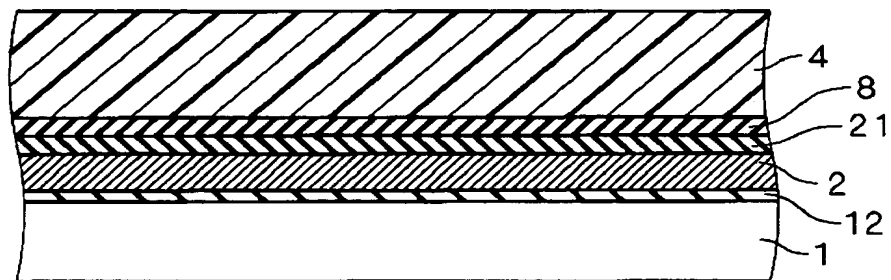


31f, 34d : レジストパターン

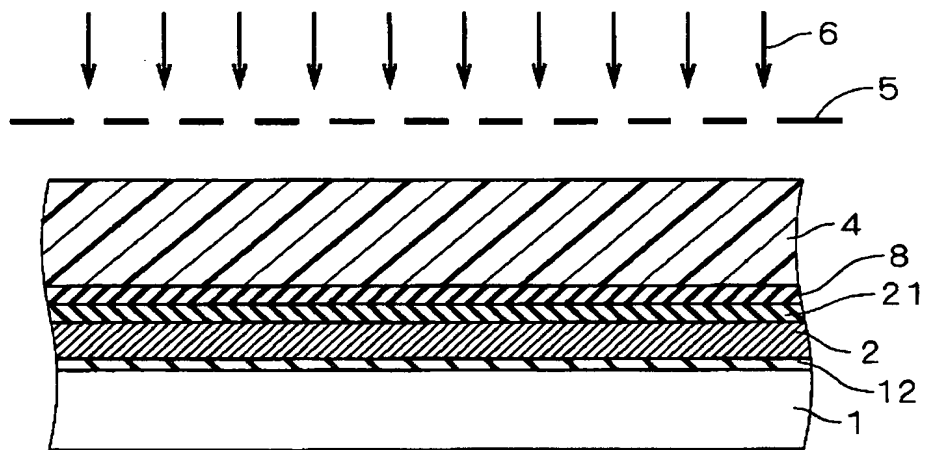
【図 9 4】



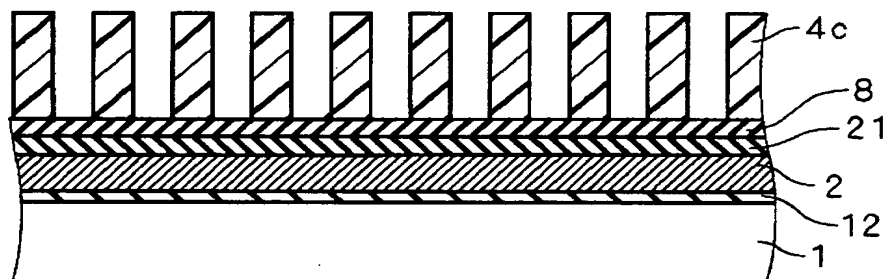
【図 9 5】



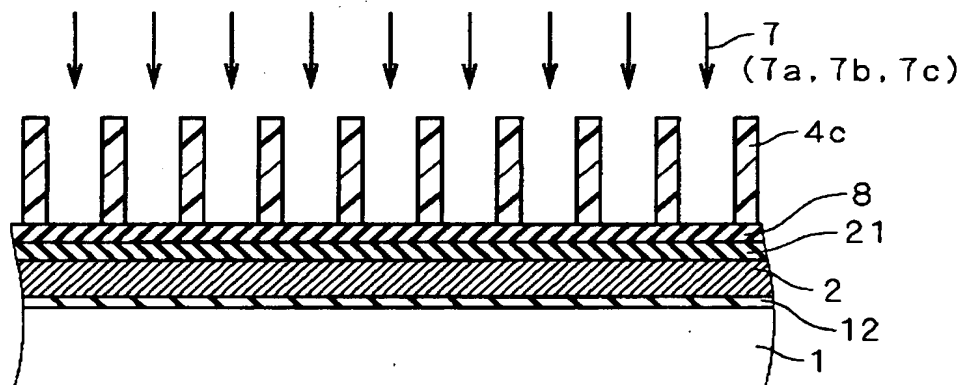
【図 9 6】



【図 9 7】

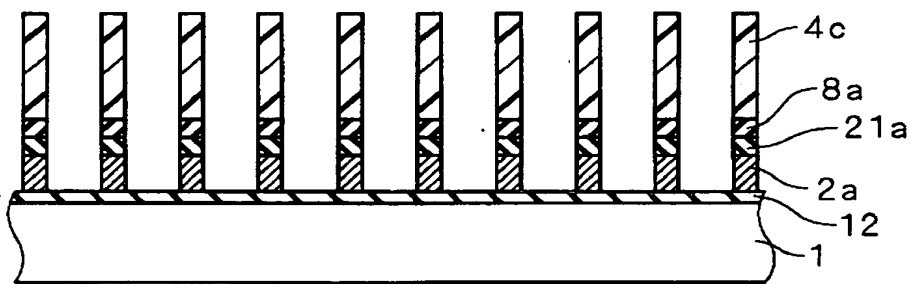


【図 9 8】

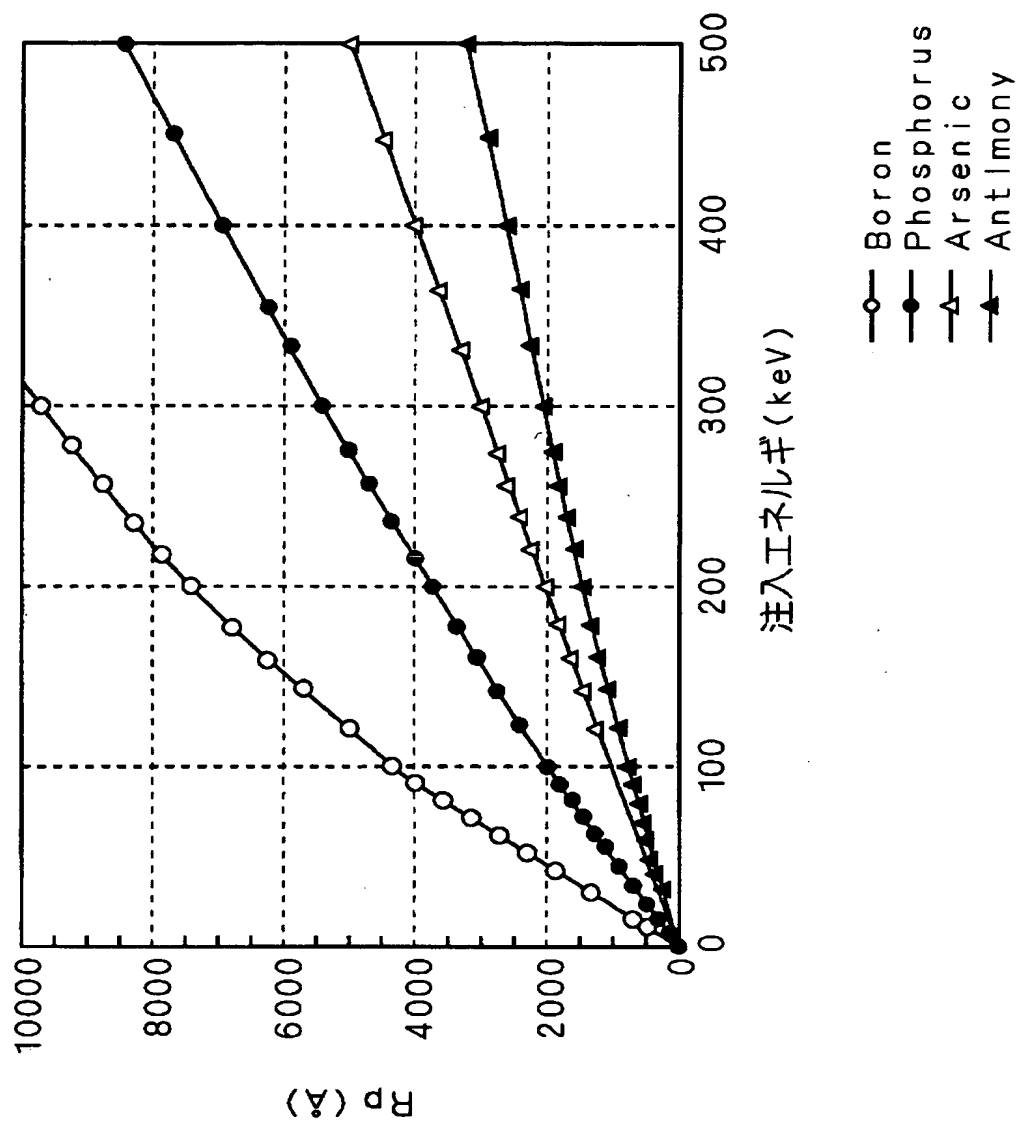


7 (7a ~ 7c) : イオン

【図 9 9】



【図100】



【書類名】 要約書

【要約】

【課題】 エッチング時の寸法シフト量粗密差（スペース幅が比較的広い疎な領域上における寸法シフト量とスペース幅が比較的狭い密な領域上における寸法シフト量との差）を小さく抑えることが可能な半導体装置の製造方法を得る。

【解決手段】 配線パターン形成用のレジストパターン4 a に対しイオン7 の注入を行う。ここでは、イオン種としてアルゴンを用い、5 0 k e V で $1 \times 1 0^{16}$ / c m² でイオン注入を行う。このイオン注入によって、レジストパターン4 a の膜厚はイオン注入前の4 4 5 n m の7 5 % 程度の3 3 4 n m 程度に収縮するとともに、レジストパターン4 a の組成変化がなされることにより、シリコン窒化膜3 及びポリシリコン層2 用のエッチング処理に対するエッチング耐性が向上する。

【選択図】 図1 0

認定・付加情報

特許出願の番号	特願2001-051447
受付番号	50100271115
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 3月 2日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000006013
【住所又は居所】	東京都千代田区丸の内二丁目2番3号
【氏名又は名称】	三菱電機株式会社

【代理人】

申請人

【識別番号】	100089233
【住所又は居所】	大阪府中央区城見1丁目4番70号 住友生命○ BPプラザビル10階 吉田・吉竹・有田特許事 務所

【氏名又は名称】	吉田 茂明
----------	-------

【選任した代理人】

【識別番号】	100088672
【住所又は居所】	大阪府中央区城見1丁目4番70号 住友生命○ BPプラザビル10階 吉田・吉竹・有田特許事 務所

【氏名又は名称】	吉竹 英俊
----------	-------

【選任した代理人】

【識別番号】	100088845
【住所又は居所】	大阪府中央区城見1丁目4番70号 住友生命○ BPプラザビル10階 吉田・吉竹・有田特許事 務所

【氏名又は名称】	有田 貴弘
----------	-------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社



Creation date: 10-29-2003
Indexing Officer: MTRUONG2 - MINH NGOC TRUONG
Team: OIPEBackFileIndexing
Dossier: 09915396

Legal Date: 10-23-2001

No.	Doccode	Number of pages
1	IDS	2
2	NPL	16

Total number of pages: 18

Remarks:

Order of re-scan issued on